



#5
1-30-04
PATENT
1248-0560P
NP

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: N. KAJIHARA et al. Conf.: 8958
Appl. No.: 09/974,910 Group: 2674
Filed: October 12, 2001 Examiner: EISEN, A.
For: TONE DISPLAY VOLTAGE GENERATING DEVICE
AND TONE DISPLAY DEVICE INCLUDING THE
SAME

RECEIVED

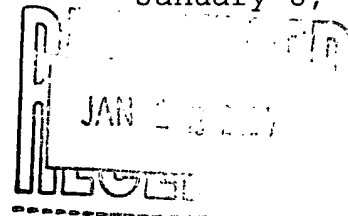
JAN 09 2004

LETTER

Technology Center 2600

HANDCARRY TO:
U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

January 8, 2004



Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicants hereby claim the right of priority based on the following applications:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
Japan	2000-329600	October 27, 2000
Japan	2001-47374	February 22, 2001

A certified copy of the above-noted applications are attached hereto.

It is noted that this is a second submission of the above-noted priority documents, as the certified copies originally

Appl. No. 09/974,910

submitted on October 12, 2001 appear to be missing from the file and cannot be located by the Examiner.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 

Terrell C. Birch, #19,382

TCB/pjh
1248-0560P

Attachments

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

(Rev. 09/30/03)

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
JAPAN PATENT OFFICE

October 12, 2001

ESB, LLP

L703) 205 8003

1248-070F

10/12/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月27日

出 願 番 号

Application Number:

特願2000-329600

出 願 人

Applicant(s):

シャープ株式会社

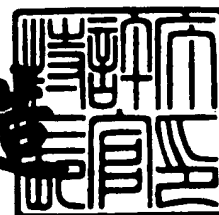
Jc978 U.S. PTO
09/974910
10/12/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3069851

【書類名】 特許願

【整理番号】 00J04062

【提出日】 平成12年10月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/36
G02F 1/133 520
G02F 1/133 575

【発明の名称】 階調表示用電圧発生装置、及びそれを備えた階調表示装置

【請求項の数】 9

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 梶原 典幸

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 渡部 利男

【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
【氏名】 勝谷 昌史

【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社

【代理人】
【識別番号】 100080034
【弁理士】
【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 階調表示用電圧発生装置、及びそれを備えた階調表示装置

【特許請求の範囲】

【請求項 1】

表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、

上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、

上記基準電圧発生手段の出力段と選択手段の入力段との間には、

上記基準電圧発生手段より低出力インピーダンスな一つ以上のバッファ手段と

、
上記基準電圧発生手段の出力段、バッファ手段、並びに選択手段の入力段の 3 者間の接続状態を切り換えることにより、上記階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介して行うか、または介さずに行うかを選択可能とするスイッチング手段とが設けられており、

さらに、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段を含んでなることを特徴とする階調表示用電圧発生装置。

【請求項 2】

上記基準電圧発生手段の出力段には、各階調表示用の電圧を別々に出力するために、該階調表示用の電圧の種類数と同数の出力端子が設けられており、

上記制御手段は、階調表示の状態に応じて、上記バッファ手段の入力が上記出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御することを特徴とする請求項 1 に記載の階調表示用電圧発生装置。

【請求項 3】

上記制御手段を介して上記スイッチング手段の切り換え動作を制御することにより、

上記各バッファ手段の入力に時分割で接続される上記出力端子を、

電圧レベルの低い階調表示用の電圧を出力する出力端子から、順次電圧レベル

のより高い階調表示用の電圧を出力する出力端子へと切り換える、または、

電圧レベルの高い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより低い階調表示用の電圧を出力する出力端子へと切り換えることを特徴とする請求項 2 に記載の階調表示用電圧発生装置。

【請求項 4】

上記選択手段の入力段には、複数の入力端子が設けられており、

上記制御手段は、階調表示の状態に応じて、上記バッファ手段の出力が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、

次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子をバッファ手段の出力から切り離し、この階調表示用の電圧をバッファ手段を介さず供給するように上記スイッチング手段を切り換えることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 5】

表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、

上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、

上記基準電圧発生手段よりも低出力インピーダンスで、かつ、上記複数種の階調表示用の電圧を生成するために設けられる一つ以上の電圧発生手段と、

上記複数種の階調表示用の電圧それぞれを、上記基準電圧発生手段から選択手段に出力するか、または、上記低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、

上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段と、を含んでなることを特徴とする階調表示用電圧発生装置。

【請求項 6】

上記制御手段を介して上記スイッチング手段の切り換え動作を制御することに

より、

上記低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を時分割で切り換えることを特徴とする請求項 5 に記載の階調表示用電圧発生装置。

【請求項 7】

上記低出力インピーダンスな電圧発生手段それぞれから選択手段に出力する上記階調表示用の電圧の種類を、

電圧レベルの低い階調表示用の電圧から、順次電圧レベルのより高い階調表示用の電圧へと切り換える、または、

電圧レベルの高い階調表示用の電圧から、順次電圧レベルのより低い階調表示用の電圧へと切り換えることを特徴とする請求項 6 に記載の階調表示用電圧発生装置。

【請求項 8】

上記選択手段の入力段には、複数の入力端子が設けられており、

上記制御手段は、階調表示の状態に応じて、上記低出力インピーダンスな電圧発生手段が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、

次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子を低出力インピーダンスな電圧発生手段から切り離し、この階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換えることを特徴とする請求項 5 ないし 7 のいずれか一項に記載の階調表示用電圧発生装置。

【請求項 9】

請求項 1 ないし 8 のいずれか一項に記載の階調表示用電圧発生装置と、

上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなることを特徴とする階調表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、液晶パネルやプラズマディスプレイパネルなどの階調表示素子に階調表示用の電圧を供給する階調表示用電圧発生装置と、それを備えた階調表示装置とに関し、特に、抵抗分割回路を含んで構成される階調電源（基準電圧発生回路）から、ＤＡコンバータ（ＤＡ変換回路）等の選択回路を介して階調表示素子の負荷容量を充電する場合に、バッファ回路などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置とに関するものである。

【 0 0 0 2 】

【従来の技術】

図 1 3 は、アクティブマトリクス方式の代表例であるＴＦＴ（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。

【 0 0 0 3 】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置（液晶駆動回路）とで構成されている。上記液晶表示部は、ＴＦＴ方式の液晶パネル 9 0 1 を備え、該液晶パネル 9 0 1 内には、マトリクス状に配置された複数の表示単位素子（画素）と、対向電極（共通電極） 9 0 6 とが設けられている。

【 0 0 0 4 】

一方、上記液晶駆動装置は、それぞれＩＣ（Integrated Circuit）チップを含んでなるソースドライバ 9 0 2 およびゲートドライバ 9 0 3 と、コントローラ 9 0 4 と、液晶駆動電源 9 0 5 とを備えている。

【 0 0 0 5 】

ソースドライバ 9 0 2 やゲートドライバ 9 0 3 は、一般的には、所定の配線が形成されたフィルム上に上記ＩＣチップを搭載したＴＣＰ（Tape Carrier Package）などを、液晶パネル 9 0 1 の内部から周縁部側に延設されたＩＴＯ（Indium Tin Oxide；インジウムすず酸化物）端子上に実装し、接続したり、上記ＩＣチップをＡＣＦ（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネル 9 0 1 の上記ＩＴＯ端子に熱圧着して実装し、接続する方法などで構

成されている。

【 0 0 0 6 】

また、液晶表示装置のより小型化を図るため、上記コントローラ 9 0 4、液晶駆動電源 9 0 5、ソースドライバ 9 0 2、及びゲートドライバ 9 0 3 をまとめて 1 チップで構成したり、2 ないし 3 チップで構成したりすることもある。図 1 3 では、これらの構成を機能別に分離した形で示している。

【 0 0 0 7 】

コントローラ 9 0 4 は、図中 D で示すデジタル化された表示データ（例えば、赤、緑、青に対応する RGB の各映像信号）、及び S 1 で示す各種制御信号をソースドライバ 9 0 2 に出力すると共に、図中 S 2 で示す各種制御信号をゲートドライバ 9 0 3 に出力している。ソースドライバ 9 0 2 への主な制御信号は、水平同期信号（ラッチ信号 L s）、スタートパルス信号およびソースドライバ用のクロック信号等がある。一方、ゲートドライバ 9 0 3 への主な制御信号は、垂直同期信号やゲートドライバ用のクロック信号等がある。なお、図中、各 IC チップ（ゲートドライバ IC、及びソースドライバ IC）を駆動するための電源は省略している。

【 0 0 0 8 】

また、液晶駆動電源 9 0 5 は、ソースドライバ 9 0 2 およびゲートドライバ 9 0 3 へ液晶パネル表示用電圧（階調表示用電圧を発生させるための参照電圧）を供給するものである。

【 0 0 0 9 】

外部から入力された表示データは、デジタル信号である上記表示データ D として、コントローラ 9 0 4 を通してソースドライバ 9 0 2 へ入力される。ソースドライバ 9 0 2 は、入力された表示データ D を時分割でサンプリングして内部に記憶し、その後、コントローラ 9 0 4 から入力される水平同期信号（ラッチ信号 L s とも言う）に同期するように、上記表示データ D から階調表示用電圧への DA（デジタル－アナログ）変換を行う。

【 0 0 1 0 】

そして、ソースドライバ 9 0 2 は、DA 変換によって得られた階調表示用のア

ナログ電圧（階調表示用電圧）を、その液晶駆動電圧出力端子から、液晶パネル 9 0 1 内に設けられた対応するソース信号ライン 1 0 0 4（図 1 4 参照）に出力する。

【 0 0 1 1 】

次に、上記液晶パネル 9 0 1 の構成について、図 1 4 に基づいて説明する。液晶パネル 9 0 1 には、画素電極 1 0 0 1、画素容量 1 0 0 2、画素への電圧印加をオン／オフするスイッチング素子としての T F T 1 0 0 3、ソース信号ライン 1 0 0 4、ゲート信号ライン 1 0 0 5、並びに、液晶パネルの対向電極 1 0 0 6（図 1 3 の対向電極 9 0 6 に相当）が設けられている。なお、図中、A で示す領域が 1 画素分の表示単位素子に相当する。

【 0 0 1 2 】

ソース信号ライン 1 0 0 4 には、対象とする各画素に表示される明るさに応じた強度の階調表示用電圧が、図 1 3 に示すソースドライバ 9 0 2 から与えられる。一方、ゲート信号ライン 1 0 0 5 それぞれには、図 1 3 に示すゲートドライバ 9 0 3 から、縦方向（すなわち、ソース信号ライン 1 0 0 4 の伸長方向）に並んだ複数の T F T 1 0 0 3 が順次オンするように走査信号が与えられる。

【 0 0 1 3 】

T F T 1 0 0 3 がオン状態の場合、該 T F T 1 0 0 3 のドレインに接続された画素電極 1 0 0 1 にソース信号ライン 1 0 0 4 から階調表示用電圧が印加されると、画素電極 1 0 0 1 と対向電極 1 0 0 6 との間の画素容量 1 0 0 2 に電荷が蓄積される（充電される）。次いで、ゲート信号ライン 1 0 0 5 による選択が終了し、T F T 1 0 0 3 がオフ（非選択）状態に変化することで、画素容量 1 0 0 2 に書き込まれた電圧が維持される。そして、このようなオン／オフ動作を通じて、各表示単位素子（画素）の光透過率が、そこに書き込まれた階調表示用電圧のレベルに応じて変化され、所望の階調表示が実現される。

【 0 0 1 4 】

図 1 5 および図 1 6 は、図 1 4 に示す液晶パネル 9 0 1 のソース信号ライン 1 0 0 4、ゲート信号ライン 1 0 0 5、並びに画素電極 1 0 0 1 それぞれに印加される液晶駆動電圧の波形の一例を示している。該図中、1 1 0 1、1 2 0 1 はソ

ースドライバ902からソース信号ライン1004に出力された階調表示用電圧の波形を示し、1102、1202はゲートドライバ903からゲート信号ライン1005に出力された、TFT1003のオン／オフを制御する走査信号の電圧波形を示す。尚、1102または1202がHighレベルのときTFT1003はオン状態に、LowレベルのときTFT1003はオフ状態になる。

【0015】

また、1103、1203は対向電極1006（図14参照）の電位を示し、1104、1204は画素電極1001に印加される電圧波形を示す。画素電極1001に印加される電圧波形の変化（図15など参照）は、走査信号である1102がハイレベルのときTFT1003がオンして画素容量1002の充電（すなわち階調表示用電圧である1101の書き込み）が開始され、次いで画素容量1002が所定の電圧レベルに到達したときに上記走査信号がロウレベルとなってTFT1003がオフし、以降、走査信号が再びハイレベルとなるまでの間、画素容量1002に充電された電荷に相当する電圧レベルが維持されることによって説明される。なお、図16中、1204で示した電圧波形の変化も同様に説明される。

【0016】

なお、図示しない液晶材料に印加される電圧は、画素電極1001と対向電極1006との電位差（電圧差）であり、図15、図16中では、斜線で示している。

【0017】

また、図15と図16とでは、ソース信号ライン1004に印加される階調表示用電圧（1101、1201）の電圧値が異なっており、これにより互いに異なる階調の表示を行っている。つまり、該階調表示用電圧の電圧値を変えることで、一画素単位に含まれる画素電極1001と対向電極1006との間の電位差（図15、図16中では、斜線で示す）を異ならせ、所望の階調表示を実現している。なお、表示可能な階調数は、液晶材料に印加される電圧値の選択肢の数（換言すれば、アナログ信号として出力される上記階調表示用電圧の電圧値の選択肢の数）により決定される。

【 0 0 1 8 】

ところで、本発明は、特に大きな回路規模および消費電力を占める階調表示用回路の中の基準電圧発生回路や出力回路に関するものであるため、以後、ソースドライバ 9 0 2 を中心に液晶駆動装置の説明を行う。

【 0 0 1 9 】

図 1 7 は、上記ソースドライバ 9 0 2 のブロック構成を示しており、以下、該図などを参照しながらその基本的な部分のみ説明する。コントローラ 9 0 4 (図 1 3 参照) から転送されてきた各デジタル表示データ DR・DG・DB (例えば各 6 ビット) は、一旦、入力ラッチ回路 1 3 0 1 でラッチされる。なお、各デジタル表示データ DR・DG・DB は、それぞれ赤、緑、青色データに対応しており、図 1 3 では表示データ D として総称されていたものである。

【 0 0 2 0 】

一方、上記コントローラ 9 0 4 からソースドライバ 9 0 2 に対しては、スタートパルス信号 SP や、ソースドライバ用のクロック信号 CK も入力される。このスタートパルス信号 SP は、上記クロック信号 CK に同期してシフトレジスタ回路 1 3 0 2 内の各段を順次転送され、1) 該シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に対し出力信号を供給するとともに、2) その最終段から次段のソースドライバに対し、該ソースドライバ用のスタートパルス信号 SP (カスケード出力信号 S) を出力する。

【 0 0 2 1 】

また、上記シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に供給される出力信号に同期して、入力ラッチ回路 1 3 0 1 にラッチされたデジタル表示データ DR・DG・DB は、時分割でサンプリングメモリ回路 1 3 0 3 内に一旦記憶されると共に、次のホールドメモリ回路 1 3 0 4 に出力される。

【 0 0 2 2 】

より具体的には、1 水平同期期間 (図 1 8 参照) 分のデジタル表示データ DR・DG・DB がサンプリングメモリ回路 1 3 0 3 に記憶されると、コントローラ 9 0 4 (図 1 3 参照) から供給される水平同期信号 (ラッチ信号 Ls) に基づき

、ホールドメモリ回路 1 3 0 4 がサンプリングメモリ回路 1 3 0 3 の各段からの出力信号を取り込み、該出力信号を次段のレベルシフタ回路 1 3 0 5 に出力する。また上記ホールドメモリ回路 1 3 0 4 は、この出力動作と共に、次の水平同期信号が入力されるまでそのデジタル表示データ DR・DG・DB を維持する。

【 0 0 2 3 】

レベルシフタ回路 1 3 0 5 は、液晶パネル 9 0 1 (図 1 3 参照) への印加電圧レベルを処理する次段の DA 変換回路 1 3 0 6 に適合させるため、入力信号のレベルを昇圧等により変換して出力する回路である。また、基準電圧発生回路 1 3 0 9 は、液晶駆動電源 9 0 5 (図 1 3 参照) からの参照電圧 VR に基づき、階調表示用の各種アナログ電圧を発生させ、DA 変換回路 1 3 0 6 に出力する。

【 0 0 2 4 】

DA 変換回路 1 3 0 6 は、基準電圧発生回路 1 3 0 9 から供給される各種アナログ電圧から、レベルシフタ回路 1 3 0 5 にてレベル変換されたデジタル表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路 1 3 0 7 を介して、各液晶駆動電圧出力端子 (以下、単に出力端子と記載する) 1 3 0 8 から液晶パネル 9 0 1 の各ソース信号ライン 1 0 0 4 へ出力される。出力回路 1 3 0 7 は、バッファ回路として機能し、例えば差動増幅回路を用いたボルテージフォロア回路で構成されるものである。

【 0 0 2 5 】

なお、図 1 8、図 1 9 (a)・(b) には、図 1 3 ~ 図 1 7 を用いて説明した、上記ソースドライバ 9 0 2 やゲートドライバ 9 0 3 (図 1 3 参照) の入力信号または出力信号のタイミングチャートを示している。図 1 8 に示されるように、コントローラ 9 0 4 からゲートドライバ 9 0 3 に入力される垂直同期信号と、ソースドライバ 9 0 2 に入力される水平同期信号 (ラッチ信号 Ls) とは互いに所定の関係を有して出力されており、さらに、該ゲートドライバ 9 0 3 から各ゲート信号ライン $G_1 \sim G_n$ (図 1 4 に示すゲート信号ライン 1 0 0 5 に相当) に出力される走査信号はそれぞれ、1 垂直同期期間内に 1 度ずつ、上記水平同期信号に同期して順次選択パルス (図 1 6 に示す High レベルの電圧信号) を出力している。

【 0 0 2 6 】

一方、上記走査信号、ソースドライバ用のクロック信号CK、スタートパルス信号SP、デジタル表示データDR・DG・DB（図中デジタル表示データ信号と記載）、並びに水平同期信号の信号波形同士は、既に説明した通り、図19（a）に示す関係を有しており、ソースドライバ902の出力端子1308から各ソース信号ライン1004へ出力される信号波形（図中、ソースドライバ出力）は、図19（b）に示す関係を有している。なお、該図に示すのは、ソースドライバ902側の出力端子1308がX1～X100、Y1～Y100、Z1～Z100（すなわち、R・G・Bの各色に対応して100個ずつ）の合計300端子備えてなる例であり、以下にも説明するように64通りの階調表示への対応が可能なものである。

【 0 0 2 7 】

次に、本発明に特に関係する基準電圧発生回路1309、DA変換回路1306、並びに出力回路1307につき、主に図17、図20、図21、並びに図22を参照して、さらに詳細にその回路構成を説明する。

【 0 0 2 8 】

図20は、基準電圧発生回路1309の回路構成例を示している。RGBの各色に対応するデジタル表示データDR・DG・DBが各々例えば6ビットで構成されている場合、基準電圧発生回路1309は、 $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧を出力する。以下、その具体的構成について説明する。

【 0 0 2 9 】

基準電圧発生回路1309は、抵抗 $R_0 \sim R_7$ が直列に接続された抵抗分割回路で構成されており、最も簡単な構成となっている。また、上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 R_0 について説明すれば、図21に示すように、8本の抵抗素子 R_{01} 、 R_{02} 、 \dots 、 R_{08} が直列接続されて抵抗 R_0 が構成されている。また、他の抵抗 $R_1 \sim R_7$ についても上記した抵抗 R_0 と同様の構成である。したがって、基準電圧発生回路1309は、合計64本の抵抗素子が直列接続されて構成されているこ

となる。なお、抵抗 $R_0 \sim R_7$ の抵抗値はそれぞれ、 γ 補正等を考慮して設計すればよい。

【 0 0 3 0 】

また、基準電圧発生回路 1 3 0 9 は、9 種類の参照電圧 V'_0 、 V'_8 、 $\dots V'_{56}$ 、 V'_{64} に対応する 9 つの中間調電圧入力端子を備えている。そして、抵抗 R_0 の一端に、参照電圧 V'_{64} に対応する中間調電圧入力端子が接続されている一方、抵抗 R_0 の他端、すなわち、抵抗 R_0 と抵抗 R_1 との接続点に、参照電圧 V'_{56} に対応する中間調電圧入力端子が接続されている。以下、隣り合う各抵抗 $R_1 \cdot R_2$ 、 $R_2 \cdot R_3$ 、 \dots 、 $R_6 \cdot R_7$ の各接続点に、参照電圧 V'_{48} 、 V'_{40} 、 $\dots V'_8$ に対応する中間調電圧入力端子が順に接続されている。そして、抵抗 R_7 における抵抗 R_6 の接続点とは反対側に、参照電圧 V'_0 に対応する中間調電圧入力端子が接続されている。

【 0 0 3 1 】

この構成により、64 本の抵抗素子の隣り合う 2 抵抗素子間から電圧 $V_1 \sim V_{63}$ を引き出すことが可能となる。そして、これらの電圧 $V_1 \sim V_{63}$ と、参照電圧 V'_0 からそのまま得られる電圧 V_0 とを合わせて、計 64 通りの階調表示用アナログ電圧（電圧 $V_0 \sim V_{63}$ ）を得ることができる。結局、基準電圧発生回路 1 3 0 9 が抵抗分割回路で構成される場合、階調表示用アナログ電圧である電圧 $V_0 \sim V_{63}$ は、抵抗比によって決まることになる。64 種類のアナログ電圧（電圧 $V_0 \sim V_{63}$ ）は、基準電圧発生回路 1 3 0 9 から DA 変換回路 1 3 0 6 に入力される。

【 0 0 3 2 】

なお、一般的には、両端の参照電圧 V'_0 と V'_{64} の 2 電圧は常に中間調電圧入力端子に入力されるが、残る $V'_8 \sim V'_{56}$ に対応する 7 本の中間調電圧入力端子は微調整用として使用され、実際にはこれらの端子に電圧が入力されない場合もある。

【 0 0 3 3 】

次に、DA 変換回路 1 3 0 6 について説明する。図 2 2 は、DA 変換回路 1 3 0 6 の一構成例を示している。なお、該図には、上記出力回路 1 3 0 7 の構成（

ボルテージフォロウ回路) も示している。

【 0 0 3 4 】

D A 変換回路 1 3 0 6 では、6 ビットのデジタル信号からなる表示データに応じて、入力された 6 4 通りの電圧 $V_0 \sim V_{63}$ のうちの 1 つが選択されて出力されるように、M O S トランジスタやトランスミッションゲートがアナログスイッチ (以下、スイッチと称する) として配置されている。すなわち、6 ビットのデジタル信号からなる表示データのそれぞれ (B i t 0 ~ B i t 5) に応じて、上記スイッチがオン/オフされ、これにより、入力された 6 4 通りの電圧のうちの 1 つが選択されて出力回路 1 3 0 7 に出力される。以下にこの様子を説明する。

【 0 0 3 5 】

6 ビットのデジタル信号は、B i t 0 が L S B (the Least Significant Bit) であり、B i t 5 が M S B (the Most Significant Bit) である。上記スイッチは、2 個で 1 組のスイッチ対を構成している。B i t 0 には 3 2 組のスイッチ対 (6 4 個のスイッチ) が対応しており、B i t 1 には 1 6 組のスイッチ対 (3 2 個のスイッチ) が対応している。以下、B i t ごとに個数が 2 分の 1 になり、B i t 5 には 1 組のスイッチ対 (2 個のスイッチ) が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 63$ 組のスイッチ対 (1 2 6 個のスイッチ) が存在する。

【 0 0 3 6 】

B i t 0 に対応するスイッチの一端は、先の電圧 $V_0 \sim V_{63}$ が入力される端子となっている。そして、上記スイッチの他端は 2 個 1 組で接続されると共に、さらに次の B i t 1 に対応するスイッチの一端に接続されている。以降、この構成が B i t 5 に対応するスイッチまで繰り返される。最終的には、B i t 5 に対応するスイッチから 1 本の線が引出され、出力回路 1 3 0 7 に接続されている。

【 0 0 3 7 】

B i t 0 ~ B i t 5 に対応するスイッチを、それぞれスイッチ群 $SW_0 \sim SW_5$ と呼ぶことにする。スイッチ群 $SW_0 \sim SW_5$ の各スイッチは、6 ビットのデジタル表示データ (B i t 0 ~ B i t 5) により、以下のように制御される。

【 0 0 3 8 】

スイッチ群 $SW_0 \sim SW_5$ では、対応する Bit が 0 (Low レベル) のときは各 2 個 1 組のアナログスイッチの一方 (同図では下側のスイッチ) が ON し、逆に、対応する Bit が 1 (High レベル) のときは別のアナログスイッチ (同図では上側のスイッチ) が ON する。同図では、Bit 0 ~ Bit 5 が (1 1 1 1 1 1) であり、全てのスイッチ対において上のスイッチがオン、下のスイッチがオフとなっている。この場合、DA 変換回路 1306 からは、電圧 V_{63} が出力回路 1307 に出力される。

【0039】

同様に、例えば、Bit 0 ~ Bit 5 が (1 1 1 1 1 0) であれば、DA 変換回路 1306 からは、電圧 V_{62} が出力回路 1307 に出力され、(0 0 0 0 0 1) であれば電圧 V_1 が出力され、(0 0 0 0 0 0) であれば電圧 V_0 が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧 (電圧 $V_0 \sim V_{63}$) の中から 1 つが選択的に出力されて、階調表示が実現される。

【0040】

上記した基準電圧発生回路 1309 は、通常 1 つのソースドライバ IC に 1 つ設置され、共有化して使用される。一方、DA 変換回路 1306 および出力回路 1307 は、各出力端子 1308 (図 17 参照) に対応してそれぞれ一つずつ設けられている。

【0041】

また、カラー表示の場合は、上記出力端子 1308 は、各色に対応して使用されるので、その場合は、DA 変換回路 1306 および出力回路 1307 は、画素ごとで、かつ、1 色につき各々 1 回路が使用される。すなわち、液晶パネル 901 の長辺方向の画素数が N であれば、赤、緑、青の各色用の出力端子 1308 を、それぞれ R 、 G 、 B に添え字 n ($n = 1, 2, \dots, N$) を付して表せば、この出力端子 1308 としては、 R_1 、 G_1 、 B_1 、 R_2 、 G_2 、 B_2 、 \dots 、 R_N 、 G_N 、 B_N があり、そのため、 $3N$ 個の DA 変換回路 1306 および出力回路 1307 が必要になる。

【0042】

続いて、図 23 ~ 図 25 を参照しながら、基準電圧発生回路 1309、DA 変

換回路 1 3 0 6、並びに必要なに応じて設けられる出力回路 1 3 0 7 の様々な接続例について説明する。

【 0 0 4 3 】

図 2 3 に示す接続例は、図 2 0 および図 2 1 に記載の接続形態をまとめたものであり、基準電圧発生回路 1 3 0 9 を介して階調表示用の電圧 $V_0 \sim V_{63}$ が入力される D A 変換回路 1 3 0 6 は、入力されるデジタル表示データ（レベルシフタ回路からの出力信号）に応じた階調表示用の電圧を選択して、出力回路 1 3 0 7 側に出力する。

【 0 0 4 4 】

そして、この出力を、バッファ回路として機能する出力回路 1 3 0 7、出力端子 1 3 0 8 を順に介して、液晶パネル内のソース信号ライン 1 0 0 4 に出力する。なお、該図中、1 0 0 8 は、液晶パネルの 1 つの画素及びそれにつながるソース信号ライン 1 0 0 4 の配線容量をモデル化したものである。ここで、1 0 0 2 は画素容量を、1 0 0 3 は T F T を、1 0 0 6 は対向電極の電位を、1 0 0 7 はソース信号ライン 1 0 0 4 の配線容量を、それぞれ示している。

【 0 0 4 5 】

以上のように、図 2 3 に示す回路構成は、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した 1 つの電圧を選択し、次いでバッファ回路として機能する出力回路 1 3 0 7 を介して該電圧を低インピーダンス化して出力し、液晶パネル内のソース信号ライン 1 0 0 4 の配線容量 1 0 0 7 や画素容量 1 0 0 2 を充電するものである。

【 0 0 4 6 】

また、図 2 4 に示すように、図 2 3 に示す回路構成から出力回路 1 3 0 7 を省略することも可能である。この場合には、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した 1 つの電圧を選択し、次いで、該電圧をそのまま直接ソース信号ライン 1 0 0 4 に入力して、上記配線容量 1 0 0 7 や画素容量 1 0 0 2 を充電する。

【 0 0 4 7 】

さらに、図 2 5 に示すように、出力回路 1 3 0 7 に相当するバッファ回路 1 3 1 0 を、基準電圧発生回路 1 3 0 9 と D A 変換回路 1 3 0 6 とを電氣的につなぎ、電圧 $V_0 \sim V_{63}$ がそれぞれ伝送される電圧線の各々に設けた回路構成とすることもできる。この場合、上記電圧 $V_0 \sim V_{63}$ は、各バッファ回路 1 3 1 0 を介して低インピーダンス化された後に D A 変換回路 1 3 0 6 に入力され、次いで、アナログスイッチによりデジタル表示データに対応した 1 つの電圧が選択され、上記配線容量 1 0 0 7 や画素容量 1 0 0 2 が充電される。

【 0 0 4 8 】

【発明が解決しようとする課題】

ところで、上述したように、基準電圧発生回路 1 3 0 9 は、通常 1 つのソースドライバ I C に 1 つ設置され、共有化して使用されるものであるが、一方、D A 変換回路 1 3 0 6 や出力回路 1 3 0 7 は、出力端子 1 3 0 8 毎に 1 回路が使用される（図 2 3 ～図 2 5 参照）。

【 0 0 4 9 】

この出力端子 1 3 0 8 は、例えば、図 1 7 に示す各ソースドライバ I C（ソースドライバ 9 0 2）では 3 0 0 本（X 1 ～X 1 0 0、Y 1 ～Y 1 0 0、Z 1 ～Z 1 0 0）設けられており、今後、液晶表示装置の小型化、薄型化あるいは液晶パネルの高画素化が進むことで、ソースドライバ I C 1 個当たりの出力端子 1 3 0 8 数はさらに増加する（多端子化する）傾向にある。

【 0 0 5 0 】

例えば、図 2 3 に示す回路構成では、出力端子 1 3 0 8 毎に出力回路 1 3 0 7 が設置されるためそのレイアウト面積が大きくなり、コストアップ要因ともなるソースドライバ I C のチップ面積の増大を招来する。また、バッファ回路 1 3 1 0（図 2 5 参照）や、バッファ回路として機能する出力回路 1 3 0 7（図 2 3 参照）は、差動増幅回路等のアナログ回路で構成されるため、例えば動作電流を流す必要があり、その消費電力は一般的に大きくなる。そのため、多数の出力回路 1 3 0 7 が設けられる上記回路構成では、該出力回路 1 3 0 7 が消費する消費電力がソースドライバ I C の低消費電力化の妨げにもなる。

【 0 0 5 1 】

また、図 2 4 に示す回路構成は、上記出力回路 1 3 0 7 を省き低消費電力化を図ったものであるが、ソース信号ライン 1 0 0 4 の配線容量 1 0 0 7 や画素容量 1 0 0 2 を所定の時間（1 走査時間）内に充電するために、基準電圧発生回路 1 3 0 9 内に設けられた抵抗分割回路の各抵抗値を小さくする必要がある。図 1 4 に示すように特にソース信号ライン 1 0 0 4 は液晶パネル 9 0 1 の上部から下部までつながっているため、元々その配線容量 1 0 0 7 は比較的大きい。しかし、上記抵抗分割回路の各抵抗値を小さくすることにより、この抵抗分割回路に常時大きな電流を流し続けねばならず、これは無効電流となって消費電力の増大を招来する。

【 0 0 5 2 】

一方、図 2 5 に示す回路構成では、上記出力回路 1 3 0 7 に相当するバッファ回路 1 3 1 0 を、一つのソースドライバ IC 内のみに設置される共用の基準電圧発生回路 1 3 0 9 の階調表示用電圧の各出力段に配置することで、図 2 3 に示す構成と比較して低消費電力化を図っている。さらに、図 2 4 に示す構成と比較して基準電圧発生回路 1 3 0 9 内の抵抗分割回路の各抵抗値を高くすることが可能となり、無効電流の低減化も実現している。

【 0 0 5 3 】

しかし、図 2 5 に示すような回路構成では、例えば 6 4 階調表示に対応可能とする場合（図 1 8 参照）、基準電圧発生回路 1 3 0 9 の階調表示用電圧（電圧 $V_0 \sim V_{63}$ ）の出力段の各々に計 6 4 個のバッファ回路 1 3 1 0 を設置するか、あるいは、8 階調表示分毎の取りだし部、即ち参照電圧 $V'_0 \sim V'_{56}$ それぞれが入力される 8 つの中間調電圧入力端子と抵抗分割手段との間に設けられた 8 ラインそれぞれにバッファ回路 1 3 1 0 を設置する必要がある。つまり、この回路構成でも、表示すべき階調数、もしくは該階調数に比例した複数個のバッファ回路 1 3 1 0 が必要とされる。

【 0 0 5 4 】

ところで、近年、携帯端末等に組み込まれる小型かつ電池駆動の液晶表示装置においても、特に高品位画像を実現するため T F T 方式が積極的に採用されてお

り、その応用展開をさらに推し進めるために、その駆動装置のさらなる低消費電力化が求められている。その結果、消費電力の比較的大きな上記出力回路 1 3 0 7 やバッファ回路 1 3 1 0 の設置数をより少なくし、かつ、基準電圧発生回路 1 3 0 9 に常時大きな電流を流し続けることなく安定した階調表示が可能な駆動回路の開発が切望されていた。

【 0 0 5 5 】

本発明は、上記の問題点を解決するためになされたもので、その目的は、例えば、抵抗分割回路を含んで構成される階調電源（基準電圧発生手段）から、D/A コンバータ（D/A 変換回路）等の選択手段を介して階調表示素子の負荷容量を充電する場合に、バッファ回路（バッファ手段）などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置を提供することである。さらには、上記低出力インピーダンス回路を介して選択手段に出力される階調表示用の電圧の種類を、順次、時分割的に切り換えることにより、所望の電圧を正確かつ低消費電力で出力する階調表示用電圧発生装置と、それを備えた階調表示装置を提供することにある。

【 0 0 5 6 】

【課題を解決するための手段】

本発明に係る階調表示用電圧発生装置は、上記の課題を解決するために、表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、上記基準電圧発生手段の出力段（電圧取り出し部）と選択手段の入力段との間には、上記基準電圧発生手段より低出力インピーダンスな一つ以上のバッファ手段と、上記基準電圧発生手段の出力段、バッファ手段、並びに選択手段の入力段の 3 者間の接続状態を切り換えることにより、上記階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介して行うか、または介さずに行うかを選択可能とするスイッチング手段とが設けられており、さらに、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段

の切り換え動作を制御する制御手段を含んでなることを特徴としている。

【 0 0 5 7 】

上記の構成によれば、基準電圧発生手段から選択手段への階調表示用の電圧の出力を、低出力インピーダンスな上記バッファ手段を介して、または介さずに行うことができる。例えば、上記バッファ手段を介して階調表示用の電圧を出力すれば、液晶パネルやプラズマディスプレイパネルなどの階調表示素子の負荷容量（画素容量など）への急速な充電が実現可能となる（充電時間が短縮できる）。

【 0 0 5 8 】

一方、上記負荷容量への充電が完了し、定常状態に達している場合などには、消費電力が比較的大きなバッファ手段を介することなく上記階調表示用の電圧を選択手段に出力し、これにより階調表示用電圧発生手段の消費電力をより低減することが可能となる。

【 0 0 5 9 】

すなわち、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となる。

【 0 0 6 0 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記基準電圧発生手段の出力段には、各階調表示用の電圧を別々に出力するために、該階調表示用の電圧の種類数と同数の出力端子が設けられており、上記制御手段は、階調表示の状態に応じて、上記バッファ手段の入力が上記出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御するものであってもよい。ここで、より好ましくは、上記バッファ手段の数を、上記出力端子の数より少なく設定する。

【 0 0 6 1 】

上記の構成によれば、基準電圧発生手段が備える複数の出力端子間で、上記バッファ手段が共用される。つまり、各出力端子毎にバッファ手段を設ける必要などがなくなり、比較的消費電力の大きなバッファ手段の設置数を低減することができる。

【 0 0 6 2 】

また、動作制御のし易さなどの理由により、上記の構成において、上記制御手段を介して上記スイッチング手段の切り換え動作を制御することにより、上記各バッファ手段の入力に時分割で接続される上記出力端子を、電圧レベルの（最も）低い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより高い階調表示用の電圧を出力する出力端子へと切り換える、または、電圧レベルの（最も）高い階調表示用の電圧を出力する出力端子から、順次電圧レベルのより低い階調表示用の電圧を出力する出力端子へと切り換える動作を行ってもよい。

【 0 0 6 3 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記選択手段の入力段には、複数の入力端子（一般には、階調表示用の電圧の種類数と同数）が設けられており、上記制御手段は、階調表示の動作状態に応じて、上記バッファ手段の出力が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子をバッファ手段の出力から切り離し、この階調表示用の電圧（バッファ手段を介して供給されていたものと略同レベルのもの）をバッファ手段を介さず供給するよう上記スイッチング手段を切り換える動作を行ってもよい。

【 0 0 6 4 】

上記の構成によれば、上記バッファ手段を介して階調表示用の電圧が供給される上記入力端子の電位が、該電圧のレベルに到達すると（すなわち充電が完了すると）、順次、該入力端子がバッファ手段の出力から切り離されて共通の基準電圧発生手段に接続される。これにより、充電が完了した定常状態を、低消費電力かつ安定に維持することが可能となる。

【 0 0 6 5 】

例えば、上記階調表示用の電圧が常時バッファ手段を介して出力されたとすれば、該電圧には、バッファ手段のオフセットバラツキ（すなわち、バッファ手段の入力段の差動部の特性バラツキの影響により出力段に現れるオフセットバラツ

キ)などの影響が現れて、バッファ手段への入力時と出力時とで電圧差(入出力偏差)が生じる場合がある。このような入出力偏差は、充電時には特に問題とならないが、充電された電圧レベルを維持する際に発生すれば、階調表示素子の表示動作が正確に行われない一因となりうる。

【 0 0 6 6 】

そこで、充電完了後には、バッファ手段を介さずに、共通の基準電圧発生手段から上記階調表示用の電圧を供給する。このようにして供給される階調表示用の電圧にはもちろん、バッファ手段のオフセットバラツキ等に起因する上記入出力偏差がなく、充電を完了した定常状態を安定に維持可能となる。また、定常状態を維持する際にバッファ手段を介した電圧の供給が行われないので、上記オフセットバラツキに従来ほど注意を払うことなくバッファ手段の設計を行うことができ、小型化することなどもより容易となる。これにより、例えば、上記階調表示用電圧発生装置をなす回路構成を1チップ内に形成する場合、そのICチップの面積をより小さくできる。

【 0 0 6 7 】

なお、いうまでもないが全ての階調表示用の電圧の充電が完了した場合などには、上記バッファ手段は必要がなくなるので、その動作電流を無くすようにすることがより好ましい。

【 0 0 6 8 】

本発明に係る階調表示用電圧発生装置は、上記の課題を解決するために、表示データのビット数に応じた複数種の階調表示用の電圧を生成する基準電圧発生手段と、上記複数種の階調表示用の電圧から、上記表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備えた階調表示用電圧発生装置において、上記基準電圧発生手段よりも低出力インピーダンスで、かつ、上記複数種の階調表示用の電圧を生成するために設けられる一つ以上の電圧発生手段と、上記複数種の階調表示用の電圧それぞれを、上記基準電圧発生手段から選択手段に出力するか、または、上記低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、上記階調表示素子の階調表示の状態に応じて、上記スイッチング手段の切り換え動作を制御する制御手段と、を含ん

でなることを特徴としている。

【 0 0 6 9 】

上記の構成によれば、選択手段への階調表示用の電圧の出力を、低出力インピーダンスな上記電圧発生手段を介して、または上記基準電圧発生手段を介して行うことができる。例えば、上記低出力インピーダンスな上記電圧発生手段を介して階調表示用の電圧を出力すれば、液晶パネルやプラズマディスプレイパネルなどの階調表示素子の負荷容量への急速な充電が実現可能となる。

【 0 0 7 0 】

一方、上記負荷容量への充電が完了し、定常状態に達している場合などには、消費電力が比較的大きな低出力インピーダンスな電圧発生手段を介することなく、上記基準電圧発生手段から上記階調表示用の電圧を選択手段に出力し、これにより階調表示用電圧発生手段の消費電力をより低減することが可能となる。

【 0 0 7 1 】

すなわち、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となる。

【 0 0 7 2 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記制御手段を介して上記スイッチング手段の切り換え動作を制御することにより、上記低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を時分割で切り換える動作を行っても良い。

【 0 0 7 3 】

さらには、上記低出力インピーダンスな電圧発生手段それぞれから選択手段に出力する上記階調表示用の電圧の種類を、電圧レベルの（最も）低い階調表示用の電圧から、順次電圧レベルのより高い階調表示用の電圧へと切り換える、または、電圧レベルの（最も）高い階調表示用の電圧から、順次電圧レベルのより低い階調表示用の電圧へと切り換える動作を行ってもよい。

【 0 0 7 4 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記選択手段

の入力段には、複数の入力端子が設けられており、上記制御手段は、階調表示の動作状態に応じて、上記低出力インピーダンスな電圧発生手段が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、該電圧レベルに到達した入力端子を低出力インピーダンスな電圧発生手段から切り離し、この階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換える動作を行ってもよい。

【 0 0 7 5 】

上記の構成によれば、上記低インピーダンスな電圧発生手段を介して階調表示用の電圧が供給される上記入力端子の電位が、該電圧のレベルに到達すると（すなわち充電が完了すると）、順次、該入力端子が上記電圧発生手段から切り離されて共通の基準電圧発生手段に接続される。これにより、充電が完了した定常状態を低消費電力かつ、安定に維持することが可能となる。

【 0 0 7 6 】

なお、いうまでもないが全ての階調表示用の電圧の充電が完了した場合などには、上記低出力インピーダンスな電圧発生手段は必要がなくなるので、例えば、スイッチング手段の切り換え動作により、そこへの電流供給を無くすようにすることがより好ましい。

【 0 0 7 7 】

本発明にかかる階調表示装置は、上記の課題を解決するために、上記いずれかの構成の階調表示用電圧発生装置と、上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなることを特徴としている。

【 0 0 7 8 】

上記の構成によれば、液晶パネルやプラズマディスプレイパネルなどの階調表示素子上に、表示データに応じた階調表示を高速かつ低消費電力で行うことができる階調表示素子を提供可能となる。

【 0 0 7 9 】

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態について、図面に基づいて説明すれば以下の通りである。なお、言うまでもないが、本願発明は、特に本実施の形態に記載の範囲のみに限定されるものではない。

【 0 0 8 0 】

図 2 に示すのは、本発明にかかる階調表示用電圧発生装置（階調表示用電圧発生回路）を備えてなる T F T 方式の液晶表示装置（階調表示装置）のブロック構成であり、対向電極 9 6、ソース信号ライン、ゲート信号ラインなどを備え表示部として機能する液晶パネル 9 1 と、表示データ D および制御信号 S 1・S 2 を生成するコントローラ 9 4 と、表示データ D および制御信号 S 1 の入力に応じてソース信号ラインに階調表示用電圧を供給するソースドライバ（各ソースドライバ I C）9 2 と、制御信号 S 2 の入力に応じてゲート信号ラインを動作させ、階調表示用電圧の各画素への書き込みを制御するゲートドライバ（各ゲートドライバ I C）9 3 とを備えてなる。

【 0 0 8 1 】

その基本構成は図 1 3 にて示した従来構成とほぼ同一であるが、本実施の形態では、コントローラ 9 4 から各ソースドライバ（ソースドライバ I C）9 2 へ供給される制御信号 S 1 として、基準電圧発生回路から D A 変換回路への基準電圧出力状態を時分割的に切り換えるための、切り換え制御信号 S W（後述する）が加わっている点で図 1 3 に示すものと相違がある。以下では、主に、本発明の階調表示用電圧発生装置をなすソースドライバ 9 2 について説明を行う。

【 0 0 8 2 】

ソースドライバ（各ソースドライバ I C）9 2 は、図 1 にその概略回路構成を示すように、入力ラッチ回路 3 1 と、シフトレジスタ回路 3 2 と、サンプリングメモリ回路 3 3 と、ホールドメモリ回路 3 4 と、レベルシフタ回路 3 5 と、基準電圧発生回路（基準電圧発生手段）3 8 と、D A 変換回路（選択手段）3 6 とを備えた構成（図 1 7 に示すものと同様）において、さらに、基準電圧発生回路 3

8からDA変換回路36への基準電圧出力状態を時分割的に切り換えるための、切り換え制御回路部（切り換え制御手段）39を含んでなっている。

【0083】

図2に示すコントローラ94から転送されてきた各デジタル表示データDR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路31でラッチされる。なお、各デジタル表示データDR・DG・DBは、それぞれ赤、緑、青の表示データに対応し、図2中、表示データDとして総称されているものである。

【0084】

一方、上記コントローラ94から転送されてきたスタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路32内を転送され、該シフトレジスタ回路32の最終段から次段のソースドライバにスタートパルス信号SP（カスケード出力信号S）として出力される。

【0085】

このシフトレジスタ回路32の各段からの出力信号に同期して、先の入力ラッチ回路31にてラッチされたデジタル表示データDR・DG・DBは、時分割でサンプリングメモリ回路33内に一旦記憶されると共に、次のホールドメモリ回路34に出力される。

【0086】

1水平同期期間の表示データがサンプリングメモリ回路33に記憶されると、ホールドメモリ回路34は、上記のコントローラ94から供給される水平同期信号（ラッチ信号Ls）に基づいてサンプリングメモリ回路33からの出力信号を取り込み、次のレベルシフタ回路35に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

【0087】

レベルシフタ回路35は、液晶パネルへの印加電圧レベルを処理する次段のDA変換回路36に適合させるため、ホールドメモリ回路34から供給された出力信号の信号レベルを昇圧等により変換する回路である。基準電圧発生回路38は、図2に示す液晶駆動電源95からの複数の参照電圧VRに基づき、階調表示用の各種アナログ電圧（階調表示用の電圧、以下、階調表示用電圧と称する場合も

ある) を発生させ、D A 変換回路 3 6 に出力する。

【 0 0 8 8 】

なお、基準電圧発生回路 3 8 と D A 変換回路 3 6 との間には、切り換え制御回路部 3 9 が電氣的に接続されており、上記基準電圧発生回路 3 8 から D A 変換回路 3 6 への上記アナログ電圧（階調表示用電圧）の出力状態を切り換え可能となっているが、この特徴点についての詳細は後述する。

【 0 0 8 9 】

D A 変換回路 3 6 は、基準電圧発生回路 3 8 から供給される各種アナログ電圧から、レベルシフタ回路 3 5 にてレベル変換された表示データに応じたアナログ電圧を選択する。ここで、D A 変換回路 3 6 の各出力段は直接的に（そのまま）液晶駆動用電圧出力端子（以下、単に出力端子と記載する）を介して液晶パネル 9 1（図 2 参照）の対応するソース信号ラインと接続される構成となっている。つまり、上記ソースドライバ 9 2 では、従来、各出力端子 3 7 に対応して設けられていた出力回路に相当する回路が設けられてはならず、D A 変換回路 3 6 からの出力が直接液晶パネルに供給される構成となっている。

【 0 0 9 0 】

上記の基準電圧発生回路 3 8、切り換え制御回路部 3 9、並びに D A 変換回路 3 6 は、D A 変換器を構成している。液晶表示装置においては、この D A 変換器を用いて液晶駆動回路（ソースドライバ）を構成することで、液晶パネルに表示するデジタルデータ（表示データ D R、D G、D B）を D A 変換器により D A 変換して、各液晶表示素子に印加するようになっているとも言える。

【 0 0 9 1 】

次に、本発明の特徴点の一つである切り換え制御回路部 3 9 の詳細と、該切り換え制御回路部 3 9 に階調表示用電圧を出力する基準電圧発生回路 3 8 の構成とについて、図面を参照しながら説明する。なお、以下では、デジタル表示データ D R・D G・D B が各々 6 ビットで構成されている例をもって説明する。

【 0 0 9 2 】

図 3 に示すように、上記基準電圧発生回路 3 8 は、入力される複数の参照電圧（ここでは V'_0 、 V'_8 、 V'_{16} 、 V'_{24} 、 V'_{32} 、 V'_{40} 、 V'_{48} 、 V'_{56}

、 V'_{64} の 9 種類) から、 n ビット (ここでは 6 ビット) の表示データに応じた 2^n 種類 (ここでは互いに電圧レベルの異なる 64 種類) の階調表示用電圧 $V_0 \sim V_{63}$ を発生させ、この階調表示用電圧を切り換え制御回路部 39 側に出力する構成であり、基本的には従来公知のものを採用可能である。ここでは、図 20 に示したものと同様、8 つの抵抗 $R_0 \sim R_7$ が直列に接続された抵抗分割回路からなる、最も簡単な構成を例に挙げて説明する。

【0093】

図 20 に示す構成と同様に、上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8 本の抵抗素子が直列に接続されてなっている。例えば、抵抗 R_7 について説明すれば、図 4 に示すように、8 本の抵抗素子 R_{71} 、 R_{72} 、 \dots 、 R_{78} がこの順に直列接続されて抵抗 R_7 が構成されている。また、他の抵抗 $R_0 \sim R_6$ についても上記した抵抗 R_7 と同様の構成である。したがって、基準電圧発生回路 38 は、合計 64 本の抵抗素子が直列接続されて構成されていることになる。なお、抵抗 $R_0 \sim R_7$ の抵抗値はそれぞれ、 γ 補正等を考慮して設計すればよい。

【0094】

また図 4 に示すように、基準電圧発生回路 38 の出力段と DA 変換回路 36 の入力段との間には、25 個のアナログスイッチ (スイッチング手段) 回路 101 \sim 125 およびバッファ回路 (バッファ手段) 126 からなるバッファ回路部 41 が電氣的に挿入されており、さらに、上記アナログスイッチ回路 101 \sim 125 のオン/オフ動作を独立に切り換えるためのアナログスイッチ制御回路部 40 が設けられている。そして、このバッファ回路部 41 とアナログスイッチ制御回路部 40 とにより、上記切り換え制御回路部 39 が構成されている。

【0095】

上記アナログスイッチ制御回路部 40 によるアナログスイッチ回路 101 \sim 125 のオン/オフ切り換えは、切り換え制御信号 SW に応じて制御される。この切り換え制御信号 SW は、例えば、液晶表示装置のコントローラ 94 が液晶パネルの階調表示動作の状態 (ゲート信号ラインやソース信号ラインの駆動状況など) に応じて生成するものである。

【0096】

コントローラ 9 4 から切り換え制御信号 SW が入力されると、該アナログスイッチ制御回路部（制御手段）4 0 は、この入力信号に基づいて、上記アナログスイッチ回路 1 0 1 ~ 1 2 5 のそれぞれに対し、そのオン／オフ動作を決定する出力信号（制御信号）を供給する。その結果、2 つの参照電圧 $V'_0 \cdot V'_8$ を 8 本の抵抗素子 $R_{71}, R_{72}, \dots, R_{78}$ で抵抗分割することにより各抵抗素子 $R_{71}, R_{72}, \dots, R_{78}$ 間から引き出された 8 種類の階調表示用電圧 V_0, V_1, \dots, V_7 が、対応する 8 本の出力端子 OT_0, OT_1, \dots, OT_7 をそれぞれ介してバッファ回路部 4 1 に入力され、アナログスイッチ回路 1 0 1 ~ 1 2 5 の動作状態に応じて選択される、DA 変換回路の 8 本の入力端子 IT_0, IT_1, \dots, IT_7 を介して該 DA 変換回路 3 6 内に出力される。

【 0 0 9 7 】

この際、上記階調表示用電圧 V_0, V_1, \dots, V_7 のすべてが DA 変換回路 3 6 側に出力される場合もあるし、一部のみが出力される場合もある。また、階調表示用電圧 V_0, V_1, \dots, V_7 の少なくとも一部が、基準電圧発生回路 3 8 の上記出力端子 OT_0, OT_1, \dots, OT_7 と、入力端子 IT_0, IT_1, \dots, IT_7 との間に設けられたバッファ回路（バッファ手段）1 2 6 に入力され、そこで低インピーダンス出力された後に DA 変換回路 3 6 側に出力される場合もある。このような階調表示用電圧 V_0, V_1, \dots, V_7 の様々な出力状態は、各アナログスイッチ回路 1 0 1 ~ 1 2 5 の動作状態によって決定されるが、その詳細については後述する。

【 0 0 9 8 】

なお、従来の構成では、上記出力端子 OT_0, OT_1, \dots, OT_7 と、対応する入力端子 IT_0, IT_1, \dots, IT_7 とがアナログスイッチ回路などを介さずに直接接続されており、階調表示用電圧 V_0, V_1, \dots, V_7 全てが DA 変換回路 3 6 にそのまま入力されていた。また、すでに上記しているが、図 4 に示す基準電圧発生回路 3 8 は全体の $1/8$ （図 3 の抵抗 R_7 に相当する部分）のみを示すものであり、実際には、上記バッファ回路部 4 1 と同様の構成が図 3 に示す他の 7 個の抵抗 $R_0 \sim R_6$ に対してもそれぞれ一つづつ設けられている。なお、アナログスイッチ制御回路部 4 0 はソースドライバ 9 2 中に一つのみ設けら

れて、全てのバッファ回路部 4 1 間で共有されていてもよい。

【 0 0 9 9 】

以下、バッファ回路 1 2 6 とアナログスイッチ回路 1 0 1 ~ 1 2 5 とからなるバッファ回路部 4 1 の回路構成、および動作タイミングなどについてより詳細に説明する。まずバッファ回路 1 2 6 であるが、例えば、差動増幅回路を用いたボルテージフォロア回路等で構成され、基準電圧発生回路 3 8 からの各階調表示用電圧の出力インピーダンスと比較して低出力インピーダンスな回路素子を例示することができ、既存の技術で容易に構成可能である。また、その具体的な構成例については後述する。なお、以下の説明では、バッファ回路 1 2 6 の電圧ゲインをほぼ 1 と見なしているが、もちろんバッファ回路 1 2 6 の構成によっては異なる場合もある。

【 0 1 0 0 】

一方、基準電圧発生回路 3 8 から取り出された第 1 の階調表示用電圧 V_0 の、DA変換回路 3 6 内への出力に関与する出力端子（電圧取り出し部） OT_0 、入力端子 IT_0 、並びに 3 つのアナログスイッチ回路 1 0 1・1 0 9・1 1 7 は、次のように接続されている。すなわち、上記出力端子 OT_0 はアナログスイッチ回路 1 0 1 及びアナログスイッチ回路 1 1 7 の各々の一方の端子と接続され、さらにアナログスイッチ回路 1 1 7 の他方の端子はアナログスイッチ回路 1 0 9 の一方の端子と接続されると共に、DA変換回路 3 6 の入力端子 IT_0 と接続されている。

【 0 1 0 1 】

同様に、基準電圧発生回路 3 8 から取り出された第 2 の階調表示用電圧 V_1 の取り出し部（出力端子 OT_1 ）はアナログスイッチ回路 1 0 2 及びアナログスイッチ回路 1 1 8 の各々の一方の端子と接続され、さらにアナログスイッチ回路 1 1 8 の他方の端子はアナログスイッチ回路 1 1 0 の一方の端子と接続されると共に、DA変換回路の入力端子 IT_1 と接続されている。

【 0 1 0 2 】

以下、1) DA変換回路 3 6 側への第 3 の階調表示用電圧 V_2 の出力に関わる 3 つのアナログスイッチ回路 1 0 3・1 1 1・1 1 9、出力端子 OT_2 、並びに

入力端子 IT_2 、2) 第4の階調表示用電圧 V_3 の出力に関わる3つのアナログスイッチ回路 104・112・120、出力端子 OT_3 、並びに入力端子 IT_3 、3) 第5の階調表示用電圧 V_4 の出力に関わる3つのアナログスイッチ回路 105・113・121、出力端子 OT_4 、並びに入力端子 IT_4 、4) 第6の階調表示用電圧 V_5 の出力に関わる3つのアナログスイッチ回路 106・114・122、出力端子 OT_5 、並びに入力端子 IT_5 、5) 第7の階調表示用電圧 V_6 の出力に関わる3つのアナログスイッチ回路 107・115・123、出力端子 OT_6 、並びに入力端子 IT_6 はそれぞれ、同様の接続パターンに従って接続され、最後に第8の階調表示用電圧の取り出し部（出力端子 OT_7 ）はアナログスイッチ回路 108 及びアナログスイッチ回路 124 の各々の一方の端子と接続され、さらにアナログスイッチ回路 124 の他方の端子はアナログスイッチ回路 116 の一方の端子と接続されると共に、DA変換回路 36 の入力端子 IT_7 と接続されている。

【0103】

そして、一方の端子が、対応する8つの出力端子 $OT_0 \sim OT_7$ のいずれか一つと接続されている8つのアナログスイッチ回路 101～108 の他方の端子は互いに共通化され（すなわち共通の一配線上にこの順に接続され）、該配線的一端を介してバッファ回路 126 の入力端子、及びアナログスイッチ回路 125 の一方の端子と電氣的に接続されている。また、アナログスイッチ回路 125 の他方の端子は接地されている。

【0104】

さらに、一方の端子が、対応する8つの入力端子 $IT_0 \sim IT_7$ のいずれか一つと接続されている8つのアナログスイッチ回路 109～116（図4中、黒丸印で示す）の他方の端子は共通化され（すなわち共通の一配線上にこの順に接続され）、該配線的一端を介してバッファ回路 126 の出力端子と電氣的に接続されている。

【0105】

なお、アナログスイッチ回路 101～125 は、MOSトランジスタや、トランスミッションゲート等で構成されるアナログスイッチを含んでなる回路であっ

て、公知の技術で容易に作成可能である。また、アナログスイッチ回路 1 0 1 ~ 1 2 5 の導通もしくは非導通（オン／オフ）の制御は、アナログスイッチ制御回路部 4 0 が生成する制御信号を各アナログスイッチ回路の制御端子（図示せず）に入力することにより行い、該制御信号がハイレベルで導通、一方、ロウレベルで非導通となるものである。

【 0 1 0 6 】

上記のアナログスイッチ制御回路部 4 0 は、例えば、シフトレジスタ回路およびゲート等で構成し、切り換え制御信号 SW として、リセット信号と転送信号とをコントローラ 9 4 から入力することで容易に構成できる。なお、いうまでもないが、バッファ回路 1 2 6、アナログスイッチ回路 1 0 1 ~ 1 2 5、並びにアナログスイッチ制御回路部 4 0 は、様々な構成で実現可能であり、特に本実施形態に記載の範囲内に限定されるものではない。

【 0 1 0 7 】

続いて、図 5 に示すアナログスイッチ回路 1 0 1 ~ 1 2 5 のオン／オフのタイミングチャートなどを参照しながら、切り換え制御回路部 3 9 の動作について説明を行う。なお、以下の説明は、図 4 に示す一つのバッファ回路部 4 1 におけるアナログスイッチ回路 1 0 1 ~ 1 2 5 の切り換え動作のみを取り上げるものとするが、ソースドライバ 9 2 内に複数のバッファ回路部 4 1 が設けられる場合には、それぞれ同様の動作が行われるものとする。また、説明の便宜上、8 種類の階調表示用電圧 $V_0 \sim V_7$ の電圧レベルは、この順に高くなる（昇順に並べられている）ものとする。

【 0 1 0 8 】

まず、図 5 の Phase 0 では、9 つのアナログスイッチ回路 1 0 1、1 0 9 ~ 1 1 6 を導通させ、他のアナログスイッチ回路は非導通の状態にする。なお、該図中、CS 1 0 1 ~ CS 1 2 5 は順に、アナログスイッチ回路 1 0 1 用制御信号 ~ アナログスイッチ回路 1 2 5 用制御信号を指している。この時のバッファ回路部 4 1 の状態を模式化したものが図 6 (a) である。これにより、基準電圧発生回路 3 8 から DA 変換回路 3 6 への出力電圧として、まず、最も電圧レベルの低い第 1 の階調表示用電圧 V_0 が、バッファ回路 1 2 6 を介して出力される。

【0109】

この第1の階調表示用電圧 V_0 は、デジタル表示データ $DR \cdot DG \cdot DB$ に応じてDA変換回路36により階調表示用電圧 $V_0 \sim V_7$ のいずれか1つの出力が選択されている液晶パネル91の画素全て（走査信号によりTFTがオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路126を用いた充電により第1の階調表示用電圧 V_0 のレベルにまで急峻に立ち上げることができる（図6（b）参照）。なお、DA変換回路36における階調表示用電圧の選択動作は従来のも（図22参照）と同様にデジタル表示データに応じて決定されるので、詳細な説明は省略する。

【0110】

Phase 0での充電が終了し、選択された画素の画素容量が第1の階調表示用電圧 V_0 のレベルに達した後、図5に示すPhase 1に移る。ここでは、9つのアナログスイッチ回路102、110～117を導通させ、他のアナログスイッチ回路は非導通の状態にする。この時のバッファ回路部41の状態を模式化したものが図7（a）である。

【0111】

ここで、階調表示用電圧 V_0 の出力が選択されている画素（走査信号によりTFTがオンしている画素）の画素容量は、Phase 0を通じて既に所望の電圧レベル（ V_0 ）に達しており、該画素容量への新たな充電は不要である。ただ、この画素のTFTは1水平同期期間オン状態のため、その電圧レベル（ V_0 ）を維持する必要があるが、バッファ回路126を介さない高出力インピーダンス状態でも電圧レベルの安定はとれるので、アナログスイッチ回路117を導通させ、基準電圧発生回路38から取り出した階調表示用電圧 V_0 をそのままDA変換回路36側に出力させる。

【0112】

一方、他の7つの入力端子（図4参照） $IT_1 \sim IT_7$ からDA変換回路36内へは、上記バッファ回路126を介して、次に高いレベルの第2の階調表示用電圧 V_1 が出力される。この第1の階調表示用電圧 V_1 は、デジタル表示データ

DR・DG・DBに応じてDA変換回路36により階調表示用電圧 V_0 を除く $V_1 \sim V_7$ のいずれか1つの出力が選択されている画素全て（走査信号によりTFTがオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路126を用いて先の V_0 レベルから V_1 レベルへ充電することにより、急峻に第2の階調表示用電圧 V_1 のレベルに立ち上げる（図7（b）参照）。

【0113】

Phase 1での充電が終了し、選択された画素の画素容量が第2の階調表示用電圧 V_1 のレベルに達した後、図5に示すPhase 2に移る。ここでは9つのアナログスイッチ回路103、111～118を導通させ、他のアナログスイッチ回路は非導通の状態にする。

【0114】

ここで、階調表示用電圧 V_1 の出力が選択されている画素（走査信号によりTFTがオンしている画素）の画素容量は、Phase 1を通じて既に所望の電圧レベル（ V_1 ）に達しており、該画素容量への新たな充電は不要である。よって、その電圧レベル（ V_1 ）を維持するだけで良く、バッファ回路126を介さない高出力インピーダンス状態でも電圧レベルの安定はとれるので、アナログスイッチ回路118を導通させ、基準電圧発生回路38から取り出した階調表示用電圧 V_1 をそのままDA変換回路36側に出力させる。また、第1の階調表示用電圧 V_0 も同様に、アナログスイッチ回路117を介してそのままDA変換回路36側に出力される。

【0115】

一方、他の6つの入力端子（図4参照） $IT_2 \sim IT_7$ からDA変換回路36内へは、上記バッファ回路126を介して、次に高いレベルの第3の階調表示用電圧 V_2 が出力される。第3の階調表示用電圧 V_2 は、デジタル表示データに応じてDA変換回路36により階調表示用電圧 $V_0 \cdot V_1$ を除く $V_2 \sim V_7$ のいずれか1つの出力が選択されている画素全て（走査信号によりTFTがオンしている画素）に出力され、これら複数の画素の、ソース信号ラインの配線容量を含む画素容量を、低出力インピーダンスなバッファ回路を用いて先の V_1 レベルから

V_2 レベルに充電することで、急峻に第3の階調表示用電圧 V_2 のレベルに立ち上げる。

【0 1 1 6】

Phase 2での充電が終了し、選択された画素の画素容量が第3の階調表示用電圧 V_2 のレベルに達した後、図5に示すPhase 3～Phase 7へと同様の動作を続ける。例えば、Phase 3では9つのアナログスイッチ回路104、112～119のみを導通させることで、第4の階調表示用電圧 V_3 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第3の階調表示用電圧 $V_0 \sim V_2$ をバッファ回路126を介さずにそのまま出力する。

【0 1 1 7】

次いで、Phase 4では9つのアナログスイッチ回路105、113～120のみを導通させることで、第5の階調表示用電圧 V_4 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第4の階調表示用電圧 $V_0 \sim V_3$ をバッファ回路126を介さずにそのまま出力する。また、Phase 5では9つのアナログスイッチ回路106、114～121のみを導通させることで、第6の階調表示用電圧 V_5 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第5の階調表示用電圧 $V_0 \sim V_4$ をバッファ回路126を介さずにそのまま出力する。さらに、Phase 6では9つのアナログスイッチ回路107、115～122のみを導通させることで、第7の階調表示用電圧 V_6 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第6の階調表示用電圧 $V_0 \sim V_5$ をバッファ回路126を介さずにそのまま出力する。

【0 1 1 8】

このようにして、バッファ回路126を介して出力される階調表示用電圧のレベルを段階的に V_0 から V_6 へと立ち上げていき、Phase 7では、9つのアナログスイッチ回路108、116～123のみを導通させることで、最もハイレベルな第8の階調表示用電圧 V_7 のみをバッファ回路126を介してDA変換回路36側に出力する一方、第1～第7の階調表示用電圧 $V_0 \sim V_6$ をバッファ回路126を介さずにそのまま出力する（図8（a）など参照）。

【0119】

これにより、第8の階調表示用電圧 V_7 の出力が選択されている画素（走査信号によりTFTがオンしている画素）の画素容量を、 V_6 レベルから V_7 レベルに急峻に立ち上げる（図8（b）参照）。この時、階調表示用電圧 $V_0 \sim V_6$ を選択している画素ではすでに定常状態に達しており、画素容量への新たな充電は不要である。よって、各画素はそれぞれに書き込まれるべき電圧レベル（ $V_0 \sim V_6$ の電圧）を各々維持するだけで良く、高インピーダンス状態でも電圧レベルの安定はとれるので、7つのアナログスイッチ回路117～123を導通させ、基準電圧発生回路38から取り出した階調表示用電圧 $V_0 \sim V_6$ を各々そのまま出力させている。

【0120】

第8の階調表示用電圧 V_7 の出力が選択されている液晶パネルの画素（走査信号によりTFTがオンしている画素）の画素容量（ソース信号ラインの配線容量も含む）への充電が終了し、その電圧レベルが V_7 の定常状態に達すると、Phase 8に移る。

【0121】

Phase 8の状態は、階調表示用電圧の供給による全画素容量への充電が終了し、その電圧レベルが階調表示用電圧 $V_0 \sim V_7$ のいずれかのレベルで定常状態に達しているものであり（図9（b）参照）、この時の回路の状態を示したものが図9（a）である。Phase 8では、アナログスイッチ回路117～125を導通させ、他のアナログスイッチ回路を非導通状態にする。

【0122】

これにより、バッファ回路126の入出力は基準電圧発生回路38及びDA変換回路36から切り離される。この結果、基準電圧発生回路38から取り出された電圧（階調表示用電圧） $V_0 \sim V_7$ が、バッファ回路126を介することなく直接、DA変換回路36側に出力されることになる。

【0123】

アナログスイッチ回路125を導通させることでバッファ回路126の入力端子を接地させるのは、例えばバッファ回路126の入力段がnMOSトランジス

タの場合に、該トランジスタをオフさせてバッファ回路 1 2 6 の消費電力を低減し、かつ発振等を防止させるためであり、場合によっては電源電圧等他の電位に固定しても良い。

【 0 1 2 4 】

尚、図 4 で示す回路ブロックが受け持つ 8 階調（階調表示用電圧 $V_0 \sim V_7$ に対応する階調）全てが定常状態になるまでの時間、すなわち図 5 に示す Phase 0 ~ Phase 8 までの時間 T は、1 走査時間（図 1 8 参照）以内であれば良い。例えば、図 4 に示す回路ブロックは、所定のゲート信号ライン G_1 が選択されている間（そこに入力される走査信号がハイレベルの間）に、DA 変換回路 3 6 への出力電圧レベルを V_0 から V_7 へ段階的に立ち上げていき、該ゲート信号ライン G_1 が非選択になる前（走査信号がロウレベルになる前）に、8 階調に対応した階調表示用電圧 $V_0 \sim V_7$ 全てが定常状態になるような動作（Phase 8 での動作に相当）を行う。これにより、上記走査信号（ハイレベル）がゲートに入力される T F T を持つ画素容量は各階調表示に必要な所定の電圧を充電し終え、続いて、該走査信号がロウレベルとなるとその T F T はオフ状態になり、ハイレベルの走査信号が再びゲート信号ライン G_1 に入力されるまで、その電圧を保持する（図 1 8 参照）。

【 0 1 2 5 】

次いで、上記ゲート信号ライン G_1 に隣接したゲート信号ライン G_2 へ入力される走査信号がハイレベルとなり、新たな画素容量が充電対象として選択される。このため、図 4 に示す回路ブロックは、再度、段階的に電圧を立ち上げていくことになる。以後、ゲート信号ライン $G_3 \sim G_n$ も同様の動作である。

【 0 1 2 6 】

尚、ここでの説明は 8 階調に対応する階調表示用電圧 $V_0 \sim V_7$ の出力動作のみに限定しておこなっているが、すでに説明したように、図 4 は、6 4 階調表示を行うための 8 つの回路ブロック（図 3 参照）の一つのみを示したものである。また、本実施の形態の一変形例として、階調表示用電圧 $V_0 \sim V_{63}$ に対応した 6 4 階調を 1 つの回路ブロックとみなし、ここにバッファ回路 1 2 6 を一つのみ設ける構成とすることもできる。この場合でも上記説明の要領で、6 4 種類の階調

表示用電圧 $V_0 \sim V_{63}$ を順次バッファ回路 1 2 6 を介して D A 変換回路 3 6 側に出力すればよい。すなわち、特に回路ブロック数や、各回路ブロック内の階調数等は限定されるものではない。

【 0 1 2 7 】

また、本実施の形態では、一つの回路ブロックが担当する階調表示用電圧 $V_0 \sim V_7$ を、その電圧レベルの小さいものから大きいものへと段階的に D A 変換回路 3 6 側に出力する例で説明を行ったが、特にこの出力方式に限定されるものではない。

【 0 1 2 8 】

すなわち、本発明では、液晶パネルの画素容量やソース信号ラインの配線容量（さらにはソースドライバ I C を搭載している T C P の配線容量等の付随する容量も含む）の大きな充電もしくは放電電流が必要な時のみ、低出力インピーダンスなバッファ回路を介して階調表示用電圧を出力して急峻な立ち上げ、または立ち下げ動作を実現し、一方、定常状態で大きな電流が不要、つまり高出力インピーダンス状態で良い時は、基準電圧発生回路から取り出した階調表示用電圧をバッファ回路を介することなく直接出力するという、出力状態の切り換えにその主眼を有する。

【 0 1 2 9 】

従って、バッファ回路を介して D A 変換回路 3 6 側に出力される階調表示用電圧のレベルを段階的に立ち下げても良いし、また、段階的な立ち上げと立ち下げとを交互に行っても良いし、さらには、バッファ回路に入力される階調表示用電圧のレベルを段階的に切り換えるものでなくても良い。ただ、本実施の形態で説明した、段階的に電圧レベルを立ち上げる方式（階段状に電圧レベルを立ち上げる方式）が、充電時間、充電電流が少なくて済み低消費電力化につながることや、動作制御も簡単になるためより望ましい。

【 0 1 3 0 】

また、図 5 のタイミングチャートでは、Phase 0 から Phase 8 へと、次々と間を開けることなくアナログスイッチ回路 1 0 1 ~ 1 2 5 を切り換えていく事例を示したが、これらアナログスイッチ回路の切り換え時に、全アナログス

イッチ回路 1 0 1 ~ 1 2 5 を非導通にする非導通状態を設けても勿論良い。非動作状態を設ければ、アナログスイッチ回路 1 0 1 ~ 1 2 5 のオン／オフ切り換えタイミングのバラツキ等が原因となって、アナログスイッチ回路間に貫通電流が流れることが防止され、さらなる低消費電力化につながる。

【 0 1 3 1 】

また、バッファ回路は一般に消費電流が比較的大きいが、その低消費電力化を図るために、図 1 0 に示すバッファ回路（バッファ手段） 1 2 7 をバッファ回路 1 2 6（図 4 参照）として使用することもできる。以下に詳細に説明するが、該バッファ回路 1 2 7 は、ボルテージフォロワ回路 2 1 と制御部 2 2 とで構成されており、動作の必要が無い時には、その動作を止めるとともに消費電流も止める機能が設けられている。

【 0 1 3 2 】

ボルテージフォロワ回路 2 1 は、NチャンネルMOS（以下、NMOSと記載する）トランジスタ 2 3・2 4 と、PチャンネルMOS（以下、PMOSと記載する）トランジスタ 2 5・2 6 とを備えている。NMOSトランジスタ 2 3・2 4 は、差動対を構成している。一方、PMOSトランジスタ 2 5・2 6 は、カレントミラー回路（能動負荷回路）を構成している。

【 0 1 3 3 】

NMOSトランジスタ 2 3 のゲートは同相入力端子として入力側端子に接続されている。NMOSトランジスタ 2 3・2 4 のソースは互いに接続されており、制御部 2 2 の後述するNMOSトランジスタ 2 8 のドレインと接続されている。また、NMOSトランジスタ 2 4 のゲート（逆相入力端子）とドレインとは互いに接続され、出力側端子に接続されている。

【 0 1 3 4 】

また、NMOSトランジスタ 2 3 のドレインは、PMOSトランジスタ 2 5 のドレインと接続されており、PMOSトランジスタ 2 5 のソースは電源 V_d に接続されている。一方、NMOSトランジスタ 2 4 のドレインは、PMOSトランジスタ 2 6 のドレインと接続されており、PMOSトランジスタ 2 6 のソースは電源 V_d に接続されている。

【 0 1 3 5 】

一方、制御部 2 2 は、動作点を決めるバイアス電圧設定部 2 7 と、動作電流を流す NMOS トランジスタ 2 8 と、動作電流の ON / OFF を行うスイッチング素子としての NMOS トランジスタ 2 9 とで構成されている。

【 0 1 3 6 】

バイアス電圧設定部 2 7 は、NMOS トランジスタ 2 7 a ・ 2 7 b で構成されている。NMOS トランジスタ 2 7 a のゲートには、制御信号 P が入力される。NMOS トランジスタ 2 7 a のソースは、NMOS トランジスタ 2 7 b のゲートおよびドレインと、NMOS トランジスタ 2 8 のゲートとに接続されている。これにより、NMOS トランジスタ 2 8 のゲートにはバイアス電圧がかかることになる。また、NMOS トランジスタ 2 7 a のドレインは、図示しない電源と接続されている。NMOS トランジスタ 2 7 b のソースは、基準電位に接続されているか、または接地されている。

【 0 1 3 7 】

一方、NMOS トランジスタ 2 8 のソースは、NMOS トランジスタ 2 9 のドレインと接続されており、NMOS トランジスタ 2 9 のソースは、接地されている。NMOS トランジスタ 2 9 のゲートには、先の制御信号 P が入力されるようになっている。

【 0 1 3 8 】

上記構成のバッファ回路 1 2 7 において、回路の動作が必要な時には、制御信号 P を H i g h レベル（図 1 0 では V d レベル）に設定し、回路の動作停止時には、制御信号 P を L o w レベル（図 1 0 では接地レベル）に落とす。制御信号 P を L o w レベルにした場合、差動増幅回路の動作点を決める NMOS トランジスタ 2 7 b と、NMOS トランジスタ 2 9 とが OFF となるため、ボルテージフォロワ回路 2 1 からの電流を引き込む NMOS トランジスタ 2 8 に電流が流れなくなる。これにより、ボルテージフォロワ回路 2 1 の動作が停止するので、ボルテージフォロワ回路 2 1 における消費電流を完全にカットすることができる。

【 0 1 3 9 】

以上のように、バッファ回路 1 2 7 は、回路不使用時には制御信号 P により出

力をハイインピーダンスにすると共に、差動増幅回路であるボルテージフォロウ回路 2 1 内の動作電流をカットする構成である。これにより、回路不使用時に無駄に電力が消費されるのを確実に防止することができ、回路の低消費電力化を大幅に図ることができる。

【 0 1 4 0 】

すなわち、バイアス電圧設定部 2 7 は定電流回路として機能し、かつ差動増幅回路（ボルテージフォロウ回路 2 1）の動作点を決めるものであり、NMOS トランジスタ 2 7 a に入力される制御信号 P が Low レベルとなるとバイアス電圧設定部 2 7 に電流が流れなくなくと同時に NMOS トランジスタ 2 9 がオフ状態となる。よって、このバッファ回路 1 2 7 を流れる電流は全て遮断されることになる。

【 0 1 4 1 】

これにより、携帯用の階調表示装置（例えば、液晶表示装置やプラズマディスプレイ装置など）において、電源がオンしていても表示を行わない場合や、電源がオンした直後などで回路が定常状態に達していない場合などには、制御信号 P を Low レベルにしておき、不要な消費電力を削減することができる。また、階調表示装置を用いて TV 映像を受信し表示する場合、垂直同期信号や水平同期信号の帰線時間帯のような画面表示に不要なタイミングではバッファ回路 1 2 7 の動作を止める等、こまめに消費電力を削減することができる。

【 0 1 4 2 】

なお、上記制御信号 P は、ソースドライバ IC の入力端子を介して、直接、バッファ回路 1 2 7 の制御端子に入力しても良いし、アナログスイッチ制御回路部（図 1 参照）4 0 を介して出力しても良い。ただし、この場合には、該アナログスイッチ制御回路部 4 0 にコントローラ 9 4 から入力される信号として、切り換え制御信号 SW に加え、上記制御信号 P を追加する必要がある。また、上記バッファ回路 1 2 7 を備えた回路ブロックが複数個存在する場合には、上記制御信号 P を全バッファ回路 1 2 7 間で共通化して使用しても良いし、一方、回路ブロック毎に異なる制御信号 P を用い、複数のバッファ回路 1 2 7 の動作を独立に制御してもよい。

【 0 1 4 3 】

バッファ回路 1 2 7 を備えた複数の回路ブロックを有し、各回路ブロック毎に異なる制御信号 P を用いる構成とすれば、各バッファ回路 1 2 7 を使用されるタイミングでのみ動作させることができ、こまめな消費電力の削減が実現可能となる。例えば、表示画面全体に同じ背景を表示する場合や、背景画面に他の画面をはめ込んで表示する場合等では、背景部は同じ階調表示用電圧が使用されるので、背景部を表示するタイミングでは該当する回路ブロック内のバッファ回路 1 2 7 のみ動作させ、他の回路ブロックのバッファ回路 1 2 7 は動作を止めてよい。

【 0 1 4 4 】

〔実施の形態 2〕

本発明の他の実施の形態について、図面に基づいて説明すれば以下の通りである。なお、説明の便宜上、実施の形態 1 と同一の構成には同一の部材番号を付記し、その説明を省略する。

【 0 1 4 5 】

図 1 1 および図 1 2 に示すように、本実施の形態のソースドライバ（階調表示用電圧発生装置）9 7 は、図 4 に示すバッファ回路 1 2 6 を含んだバッファ回路部 4 1 に代えて、抵抗分割回路（電圧発生手段：第二の基準電圧発生手段）4 4 を含んだ低インピーダンス基準電圧発生回路部 4 2 を設けた構成となっている。なお、以下に詳細に説明するが、基準電圧発生回路 3 8 と低インピーダンス基準電圧発生回路部 4 2 とはともに、複数の参照電圧 V R から複数種の階調表示用電圧を生成するものであり、切り換え制御信号 S W の入力を受けてアナログスイッチ制御回路部（制御手段）4 0 が生成する制御信号に基づき、両者が同時に併用されたり、また片方のみが使用される場合もある。

【 0 1 4 6 】

上記の抵抗分割回路 4 4 は、基準電圧発生回路 3 8 と同様に複数の（8 本の）抵抗素子 $R'_{71} \sim R'_{78}$ が順に直列に接続されてなる構成であるが、これら複数の抵抗素子 $R'_{71} \sim R'_{78}$ は、基準電圧発生回路 3 8 の対応する回路ブロック（抵抗 R_7 ）をなす 8 本の抵抗素子 $R_{71} \sim R_{78}$ と同一の抵抗比を有し、かつそれぞれの抵抗値を低くして構成されている。

【 0 1 4 7 】

つまり、抵抗分割回路 4 4 をなす 8 本の抵抗素子 $R'_{71} \sim R'_{78}$ それぞれの抵抗値を順に、 R'_{71} 、 R'_{72} 、 \dots 、 R'_{78} とし、一方、基準電圧発生回路 3 8 の一ブロックをなす 8 本の抵抗素子 $R_{71} \sim R_{78}$ それぞれの抵抗値を順に、 R_{71} 、 R_{72} 、 \dots 、 R_{78} とした場合、

$$R'_{71} : R'_{72} : \dots : R'_{78} = R_{71} : R_{72} : \dots : R_{78}$$

の関係が成り立つとともに、 $R'_{71} \sim R'_{78}$ の合計が、 $R_{71} \sim R_{78}$ の合計より小さくなっている。したがって、図 1 2 に示すように、該抵抗分割回路 4 4 からは、基準電圧発生回路 3 8 から取り出される階調表示用電圧 $V_0 \sim V_7$ と同レベルの電圧 $V_0 \sim V_7$ を、より低出力インピーダンスな条件で取り出すことができる。

【 0 1 4 8 】

また、上記の低インピーダンス基準電圧発生回路部 4 2 内には、上記実施の形態 1 と同様に、スイッチング手段をなすアナログスイッチ回路 1 0 1 \sim 1 2 5、並びにアナログスイッチ回路 1 2 8 が配されており、アナログスイッチ制御回路部 4 0 が生成する制御信号に基づき、それぞれのオン／オフタイミングが制御される。この結果、複数種の階調表示用電圧 $V_0 \sim V_7$ それぞれを D A 変換回路 3 6 側に出力する際に、該電圧が基準電圧発生回路 3 8 から出力されるのか、または、抵抗分割回路 4 4 から出力されるのかが選択可能となる。つまり、アナログスイッチ制御回路部 4 0 と、低インピーダンス基準電圧発生回路部 4 2 とで、電圧源切り換え制御部 4 3 が構成されている。

【 0 1 4 9 】

なお、25 個の上記アナログスイッチ回路 1 0 1 \sim 1 2 5 の接続状態は、上記実施の形態で説明したものとほぼ同様（図 4 参照）であるが、1) 8 個のアナログスイッチ回路 1 1 7、1 1 8、 \sim 1 2 4 の一方の端子がそれぞれ、基準電圧発生回路 3 8 の出力端子 OT_0 、 OT_1 、 \sim OT_7 にのみ接続されている点、2) 8 個のアナログスイッチ回路 1 0 1、1 0 2、 \sim 1 0 8 の一端が、順に、抵抗分割回路 4 4 をなす抵抗素子 R'_{78} の一端、抵抗素子 $R'_{78} \cdot R'_{77}$ 間、抵抗素子 $R'_{77} \cdot R'_{76}$ 間、抵抗素子 $R'_{76} \cdot R'_{75}$ 間、抵抗素子 $R'_{75} \cdot R'_{74}$ 間、抵

抗素子 $R'_{74} \cdot R'_{73}$ 間、抵抗素子 $R'_{73} \cdot R'_{72}$ 間、抵抗素子 $R'_{72} \cdot R'_{71}$ 間、に接続され、また、これらの他端が、アナログスイッチ回路 109～116 の一端も接続されている共通の配線上に接続されている点で異なる。

【0150】

上記アナログスイッチ回路 101～124 の動作は、先に述べた図 5 のタイミングチャートと同じであり、このようなスイッチング動作を行うことで、既に説明した図 6～図 9 に示すものと同等の階調表示用電圧出力動作を実現することができる。なお、上記実施の形態 1 でバッファ回路 126 を介して行われた電圧出力動作は、本実施の形態では抵抗分割回路 44 を介して行われる電圧出力動作（ともに、基準電圧発生回路 38 からの出力と比較して、低インピーダンス出力動作）と読み替えればよい。

【0151】

また、アナログスイッチ回路 125 は図 5 のタイミングとはロウレベルとハイレベルは反転するだけで動作や効果は先の実施の形態 1 と同様であるので、ここでの詳細な説明は省略する。

【0152】

そして、並列に接続された基準電圧発生回路 38 をなす抵抗 R_7 と、抵抗分割回路 44 との間に、アナログスイッチ回路 128 を配置することで、階調表示用電圧の発生が不要の場合、このアナログスイッチ回路 128 を非導通状態にし、さらなる低消費電力化を図ることができる。これは先の実施の形態 1 にも適用可能なものである。

【0153】

携帯用液晶表示装置は、一般的に小画面が多いため、ソース信号ラインの配線容量や画素容量が小さい。よって、実施の形態 1 で説明したバッファ回路ほどの低出力インピーダンス化が不要の場合、この第 2 の実施の形態は特に有効である。この構成は、抵抗のみの簡単な構成で実現でき、レイアウト面積で有利であると共に、画面サイズにもよるがバッファ回路と比較して無効電流を少なくできる可能性もある。また、同じプロセスで製造されるため、基準電圧発生回路 38 と抵抗分割回路 44 との抵抗比のバラツキは少なく、両者を切り換え使用しても出

力電圧の偏差は少なくなり良好な画質を得ることができる。

【 0 1 5 4 】

【発明の効果】

本発明に係る階調表示用電圧発生装置は、以上のように、複数種の階調表示用の電圧を生成する基準電圧発生手段と、階調表示用の電圧から、表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備え、基準電圧発生手段と選択手段との間には、低出力インピーダンスなバッファ手段と、基準電圧発生手段、バッファ手段、並びに選択手段の接続状態を切り換えることにより、階調表示用の電圧それぞれを基準電圧発生手段から選択手段に出力する際に、バッファ手段を介するか否かを選択可能とするスイッチング手段とが設けられており、さらに、スイッチング手段の切り換え動作を制御する制御手段を含んでなる構成である。

【 0 1 5 5 】

上記の構成によれば、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となるという効果を奏する。

【 0 1 5 6 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、制御手段は、バッファ手段の入力が基準電圧発生手段の出力端子それぞれに時分割で接続されるようにスイッチング手段の切り換え動作を制御するものであってもよい。

【 0 1 5 7 】

上記の構成によれば、各出力端子毎にバッファ手段を設ける必要などがなくなり、比較的消費電力の大きなバッファ手段の設置数を低減することができるという効果を加えて奏する。

【 0 1 5 8 】

また、動作制御のし易さなどの理由により、上記の構成において、上記バッファ手段の入力に時分割で接続される上記出力端子を、電圧レベルの低い階調表示用の電圧を出力するものから、順次電圧レベルのより高い階調表示用の電圧を出力するものと切り換える、または、電圧レベルの高い階調表示用の電圧を出力

するものから、順次電圧レベルのより低い階調表示用の電圧を出力するものへと切り換える動作を行ってもよい。

【 0 1 5 9 】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記制御手段は、上記バッファ手段の出力が上記入力端子の 1 つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記バッファ手段の出力に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、この入力端子をバッファ手段の出力から切り離し、階調表示用の電圧をバッファ手段を介さず供給するように上記スイッチング手段を切り換える動作を行ってもよい。

【 0 1 6 0 】

上記の構成によれば、充電が完了した定常状態を、低消費電力かつ安定に維持することが可能となるという効果を加えて奏する。

【 0 1 6 1 】

本発明に係る階調表示用電圧発生装置は、以上のように、複数種の階調表示用の電圧を生成する基準電圧発生手段と、階調表示用の電圧から、表示データに応じた電圧を選択して階調表示素子に出力する選択手段とを備え、上記複数種の階調表示用の電圧を生成し、かつ低出力インピーダンスな電圧発生手段と、複数種の階調表示用の電圧それぞれを、基準電圧発生手段から選択手段に出力するか、または、低出力インピーダンスな電圧発生手段から選択手段に出力するかを切り換えるスイッチング手段と、該スイッチング手段の切り換え動作を制御する制御手段と、を含んでなる構成である。

【 0 1 6 2 】

上記の構成によれば、階調表示動作の状態に応じて、上記選択手段への階調表示用の電圧の急速な供給、または、低消費電力な供給を選択可能な階調表示用電圧発生装置を提供することが可能となるという効果を奏する。

【 0 1 6 3 】

本発明に係る階調表示用電圧発生装置はまた、上記の構成において、上記低出

カインピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を、時分割で切り換える動作を行っても良い。

【0164】

さらには、低出力インピーダンスな電圧発生手段から選択手段に出力する上記階調表示用の電圧の種類を、電圧レベルの低いものから、順次電圧レベルのより高いものへと切り換える、または、電圧レベルの高いものから、順次電圧レベルのより低いものへと切り換える動作を行ってもよい。

【0165】

本発明に係る階調表示用電圧発生装置は、上記の構成において、上記制御手段は、上記低出力インピーダンスな電圧発生手段が上記入力端子の1つ以上と同時に接続されるように上記スイッチング手段を切り換えて、この入力端子に上記階調表示用の電圧のいずれか一つを供給し、次いで、上記低出力インピーダンスな電圧発生手段に接続された上記入力端子の電位が、供給されている階調表示用の電圧の電圧レベルに到達すると、この入力端子を低出力インピーダンスな電圧発生手段から切り離し、階調表示用の電圧を上記基準電圧発生手段から供給するように上記スイッチング手段を切り換える動作を行ってもよい。

【0166】

上記の構成によれば、充電が完了した定常状態を低消費電力かつ、安定に維持することが可能となるという効果を加えて奏する。

【0167】

本発明にかかる階調表示装置は、以上のように、上記いずれかの構成の階調表示用電圧発生装置と、上記階調表示用電圧発生装置から階調表示用の電圧が供給されて階調表示を行う階調表示素子とを含んでなる構成である。

【0168】

上記の構成によれば、階調表示素子上に、表示データに応じた階調表示を高速かつ低消費電力で行うことができる階調表示素子を提供可能となるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る階調表示用電圧発生装置であるソースドライバの概略構成を示すブロック図である。

【図 2】

図 1 に示すソースドライバを備えてなる T F T 方式の液晶表示装置の構成を示す概略図である。

【図 3】

図 1 に示すソースドライバ内に設けられた基準電圧発生回路の概略の構成を示す説明図である。

【図 4】

図 1 に示すソースドライバの要部の回路構成を示す説明図である。

【図 5】

図 5 に示すアナログスイッチ制御回路部が生成する制御信号の、供給タイミングを示すタイミングチャートである。

【図 6】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態の一例を説明する図である。

【図 7】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態の他の例を説明する図である。

【図 8】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態のさらに他の例を説明する図である。

【図 9】

(a) ・ (b) は、図 4 に示す回路構成における、階調表示用の電圧の供給状態のさらに他の例を説明する図である。

【図 1 0】

図 1 に示すソースドライバが備えるバッファ回路の概略構成を示す回路図である。

【図 1 1】

本発明の他の実施の形態に係る階調表示用電圧発生装置であるソースドライバの概略構成を示すブロック図である。

【図 1 2】

図 1 1 に示すソースドライバの要部の回路構成を示す説明図である。

【図 1 3】

従来の液晶表示装置の概略の構成を示すブロック図である。

【図 1 4】

図 1 3 に示す液晶表示装置の備える液晶パネルの概略構成を示す回路図である。

【図 1 5】

上記液晶表示装置における液晶駆動波形の一例を示す説明図である。

【図 1 6】

上記液晶表示装置における液晶駆動波形の他の例を示す説明図である。

【図 1 7】

従来のソースドライバの概略構成を示すブロック図である。

【図 1 8】

図 1 3 に示す液晶表示装置の備える液晶パネルに供給される各種信号同士の関係を示す説明図である。

【図 1 9】

(a) ・ (b) は、図 1 3 に示す液晶表示装置の備える液晶パネルに供給される各種信号同士の関係の要部を示す説明図である。

【図 2 0】

上記ソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図 2 1】

図 2 0 に示す基準電圧発生回路が備える抵抗分割回路を構成する抵抗の詳細な構成を示す回路図である。

【図 2 2】

上記ソースドライバが備える上記基準電圧発生回路と、D/A変換回路と、出力

回路との概略の構成を示す説明図である。

【図 2 3】

従来の他の液晶表示装置の概略構成を示す説明図である。

【図 2 4】

従来のさらに他の液晶表示装置の概略構成を示す説明図である。

【図 2 5】

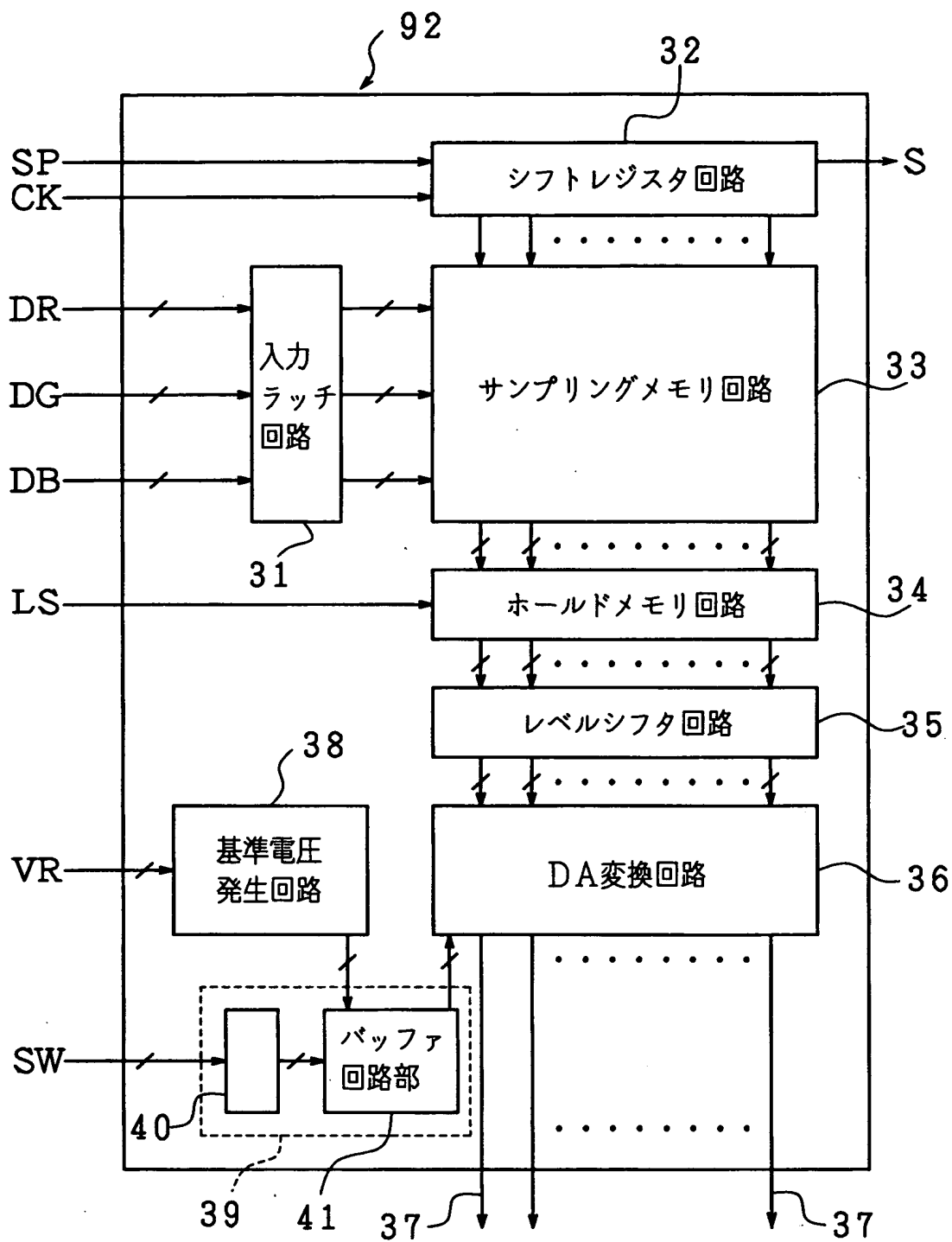
従来のさらに他の液晶表示装置の概略構成を示す説明図である。

【符号の説明】

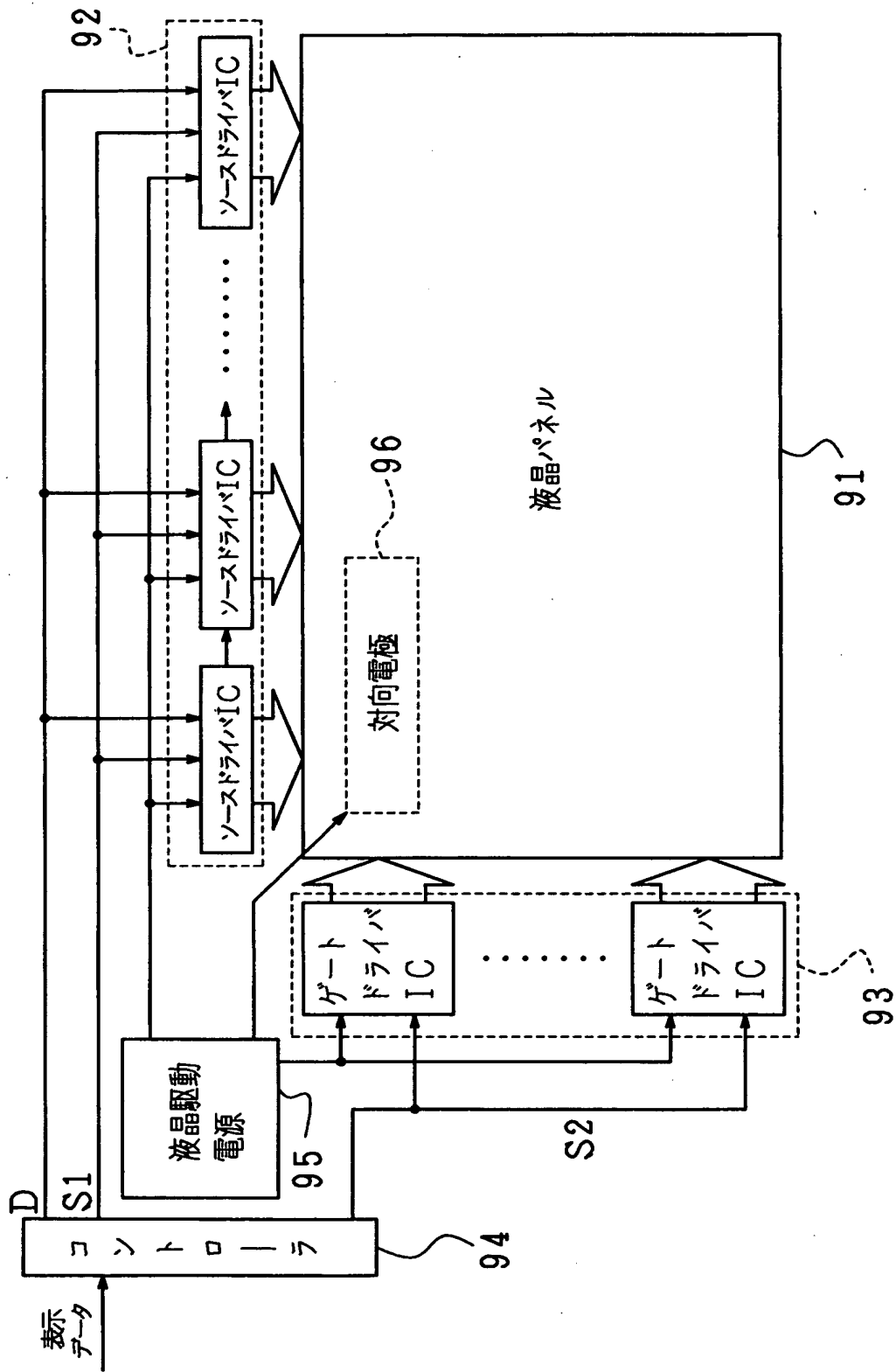
3 6	D A 変換回路 (選択手段)
3 8	基準電圧発生回路 (基準電圧発生手段)
4 0	アナログスイッチ制御回路部 (制御手段)
4 4	抵抗分割回路 (電圧発生手段、第二の基準電圧発生回路)
9 1	液晶パネル (階調表示素子)
9 2	ソースドライバ (階調表示用電圧発生装置)
9 7	ソースドライバ (階調表示用電圧発生装置)
1 0 1 ~ 1 2 5	アナログスイッチ回路 (スイッチング手段)
1 2 6	バッファ回路 (バッファ手段)
1 2 8	アナログスイッチ回路 (スイッチング手段)
$OT_0 \sim OT_7$	出力端子
$IT_0 \sim IT_7$	入力端子
D R	デジタル表示データ (表示データ)
D G	デジタル表示データ (表示データ)
D B	デジタル表示データ (表示データ)
$V_0 \sim V_{63}$	階調表示用電圧 (階調表示用の電圧)

【書類名】 図面

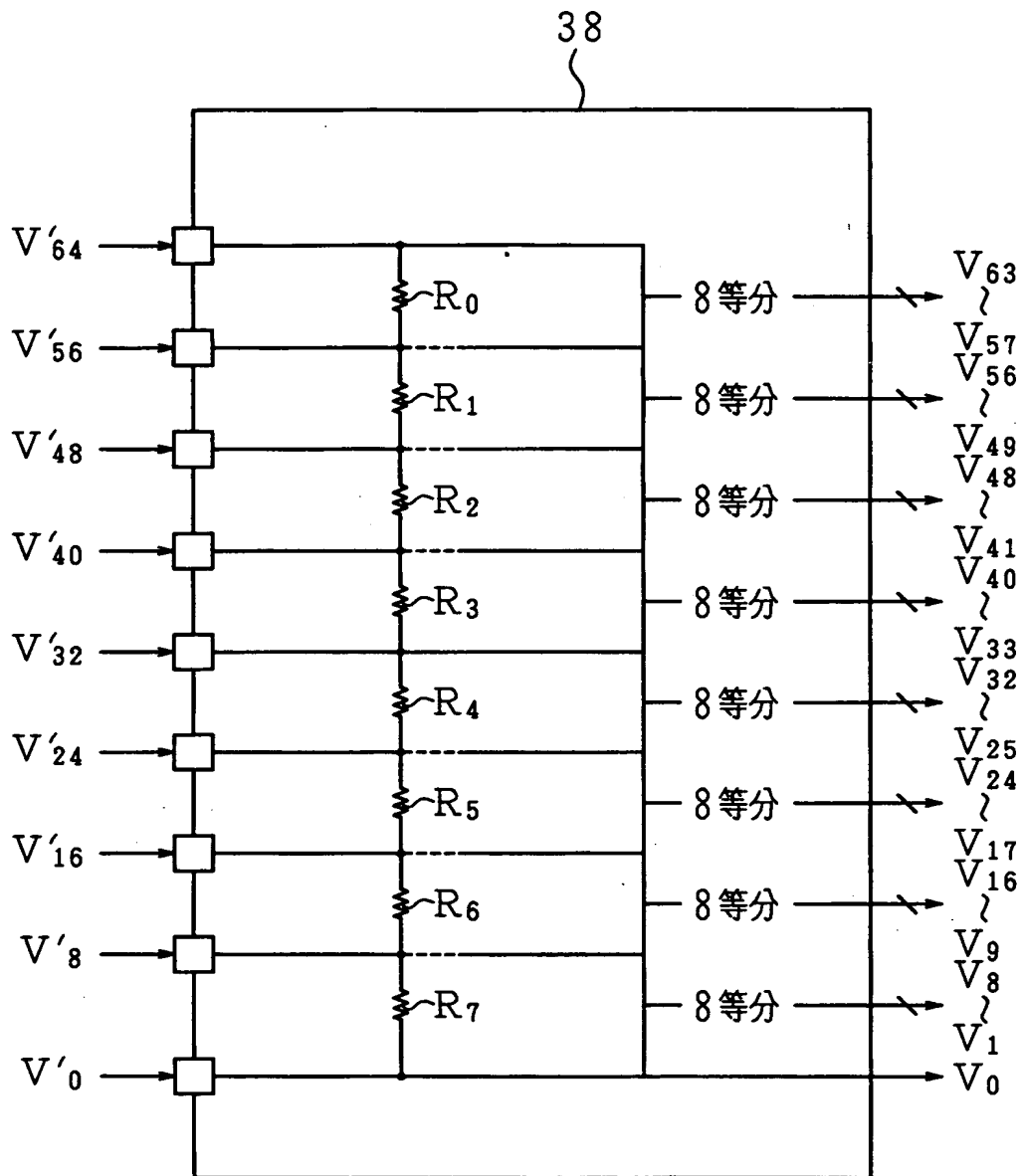
【図 1】



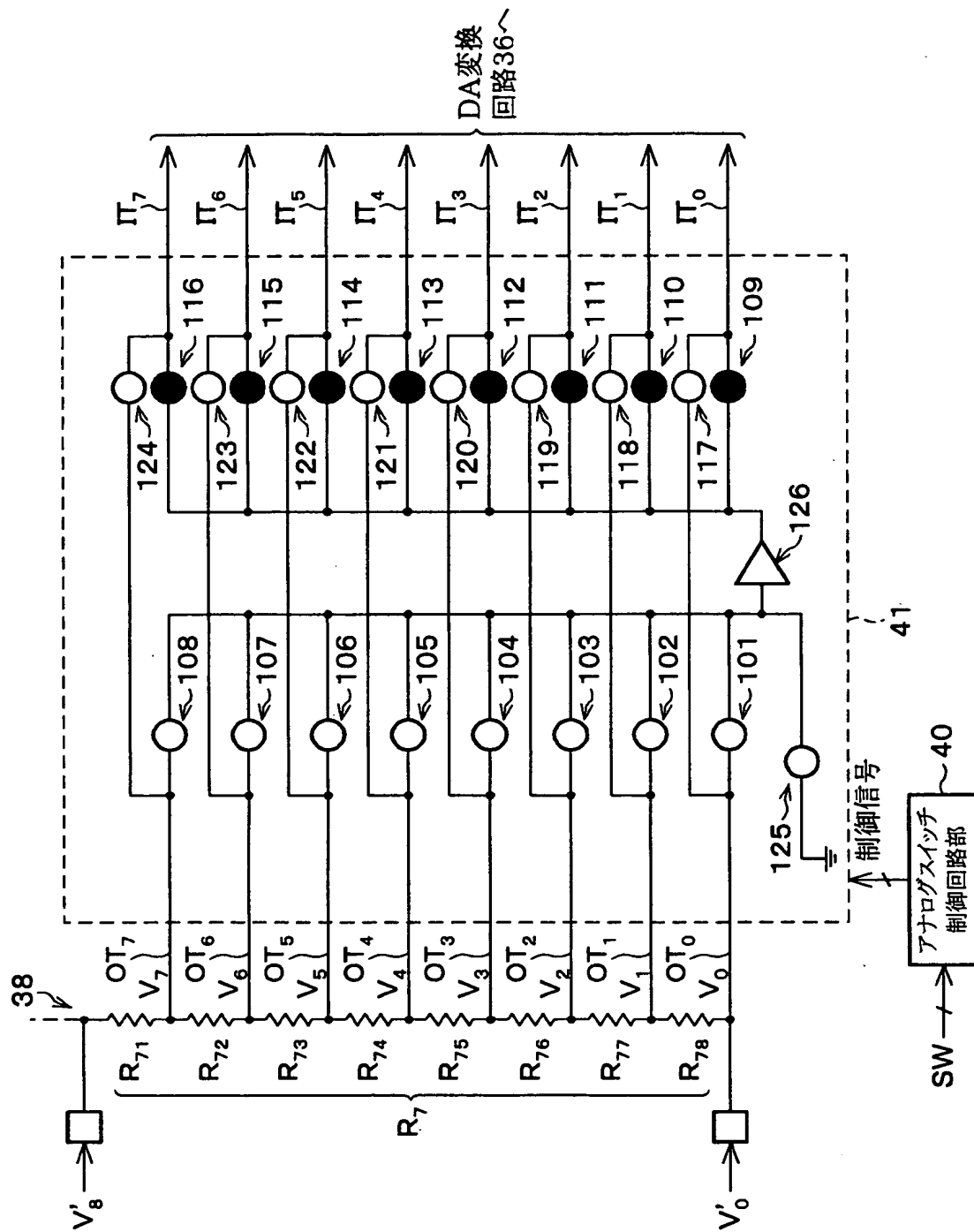
【図2】



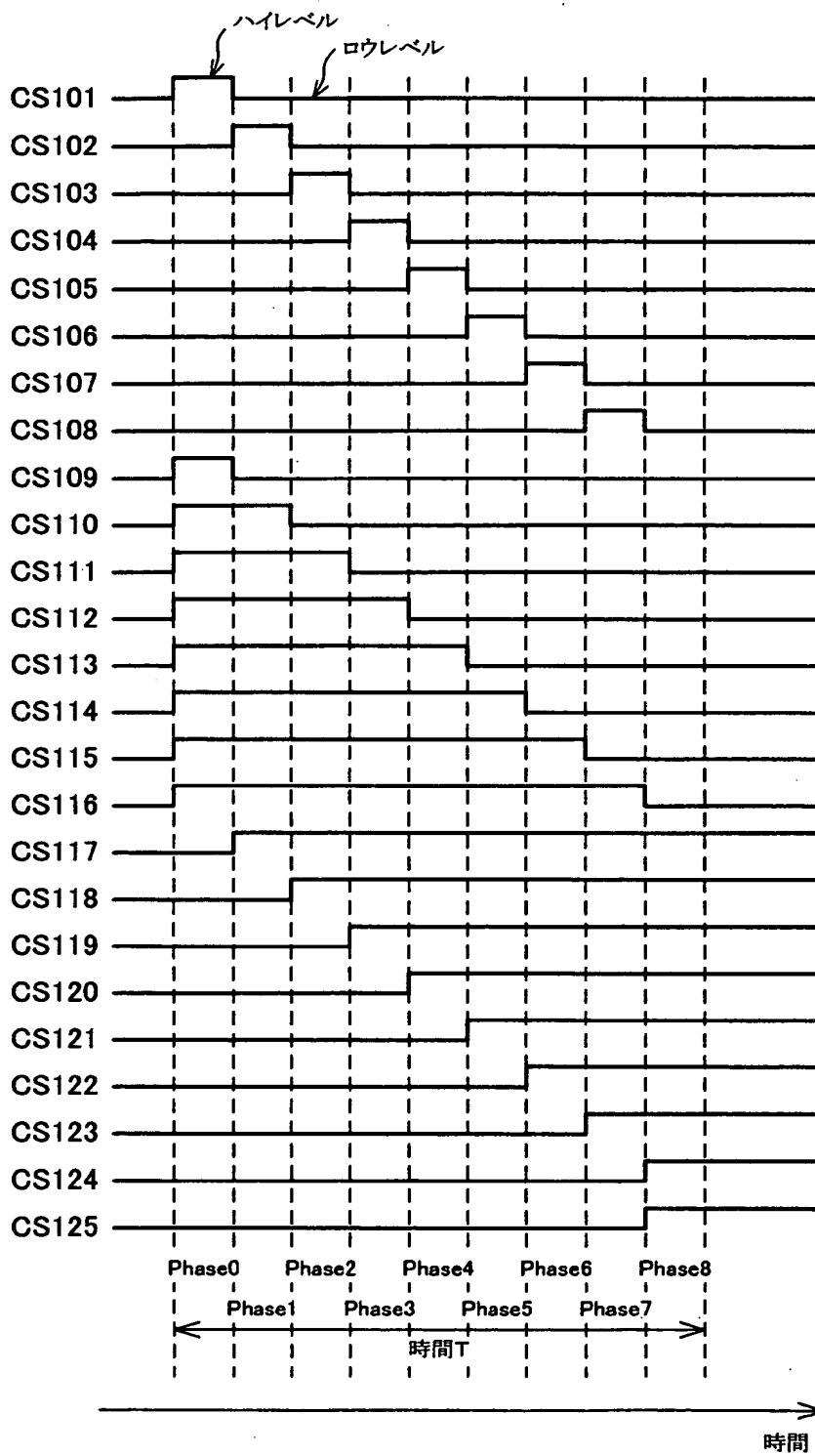
【図 3】



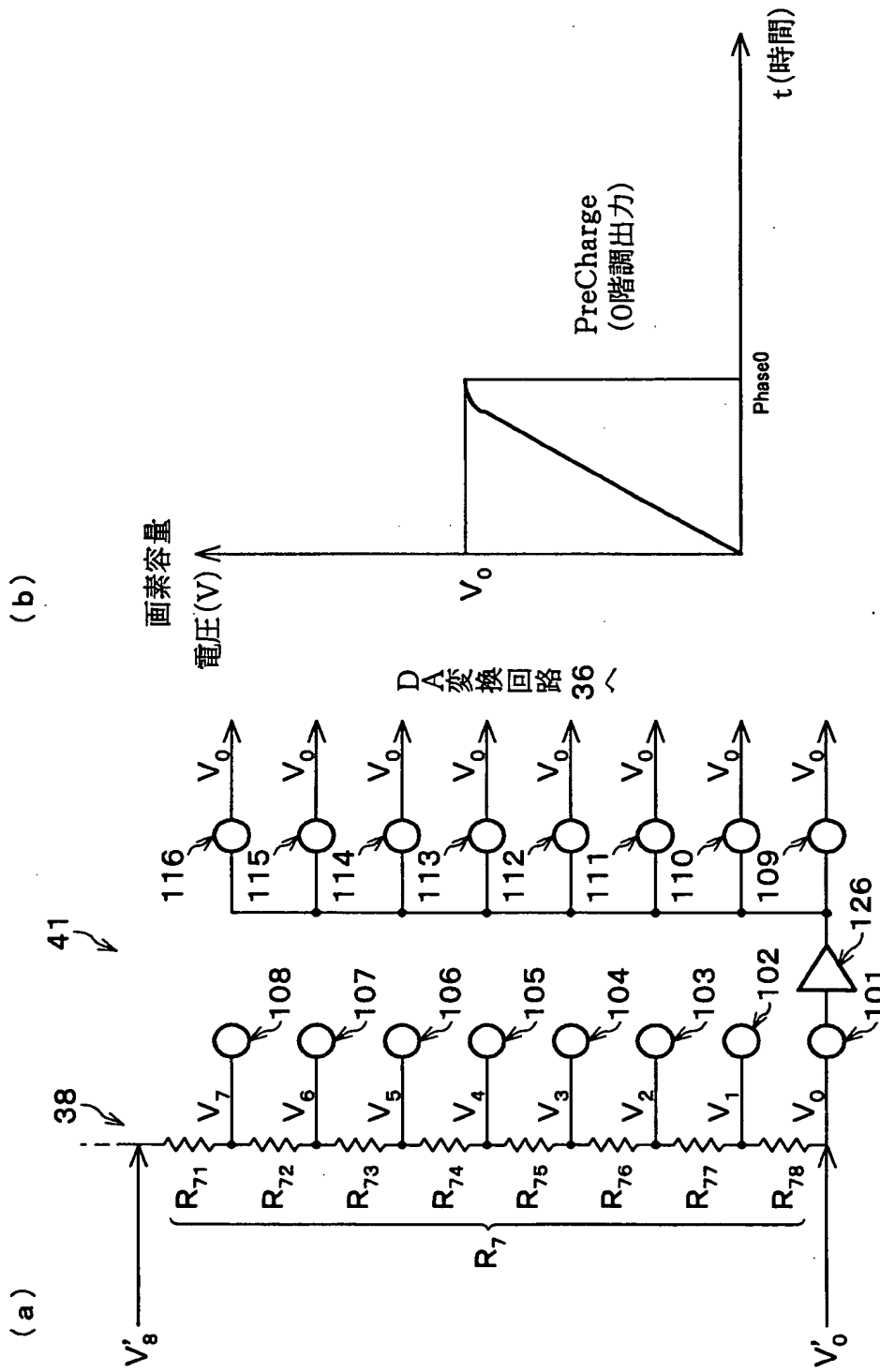
【図 4】



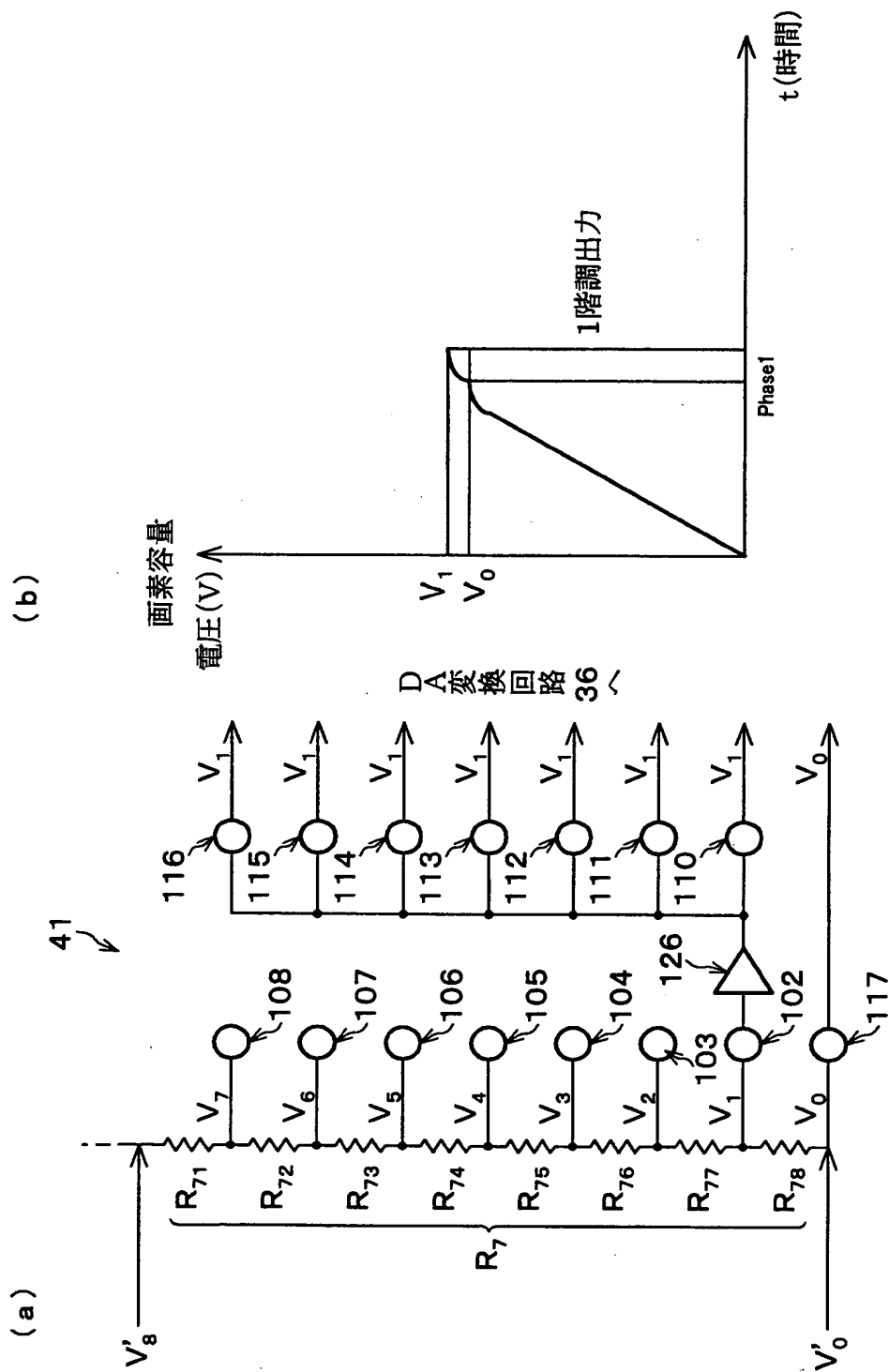
【図 5】



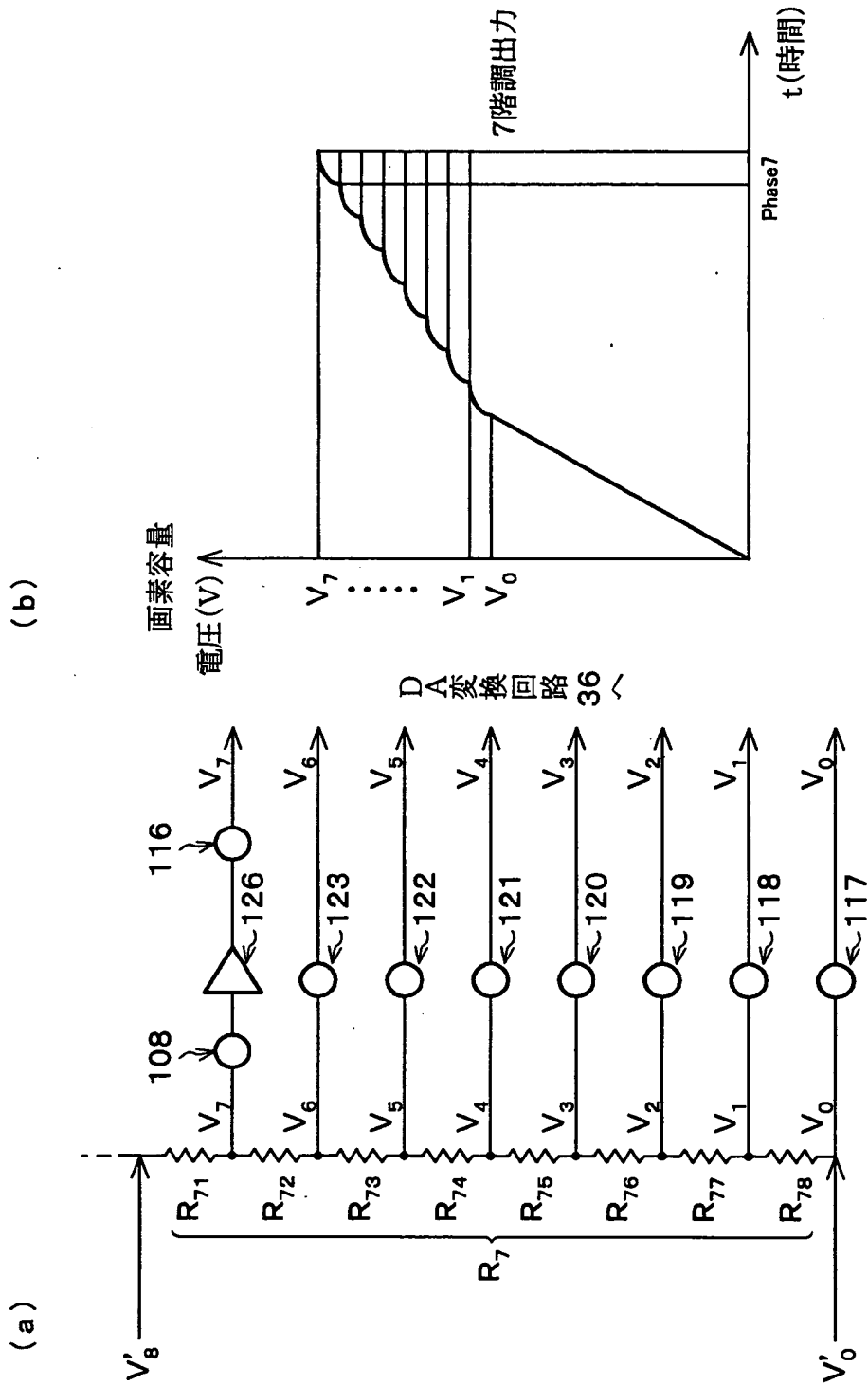
【図 6】



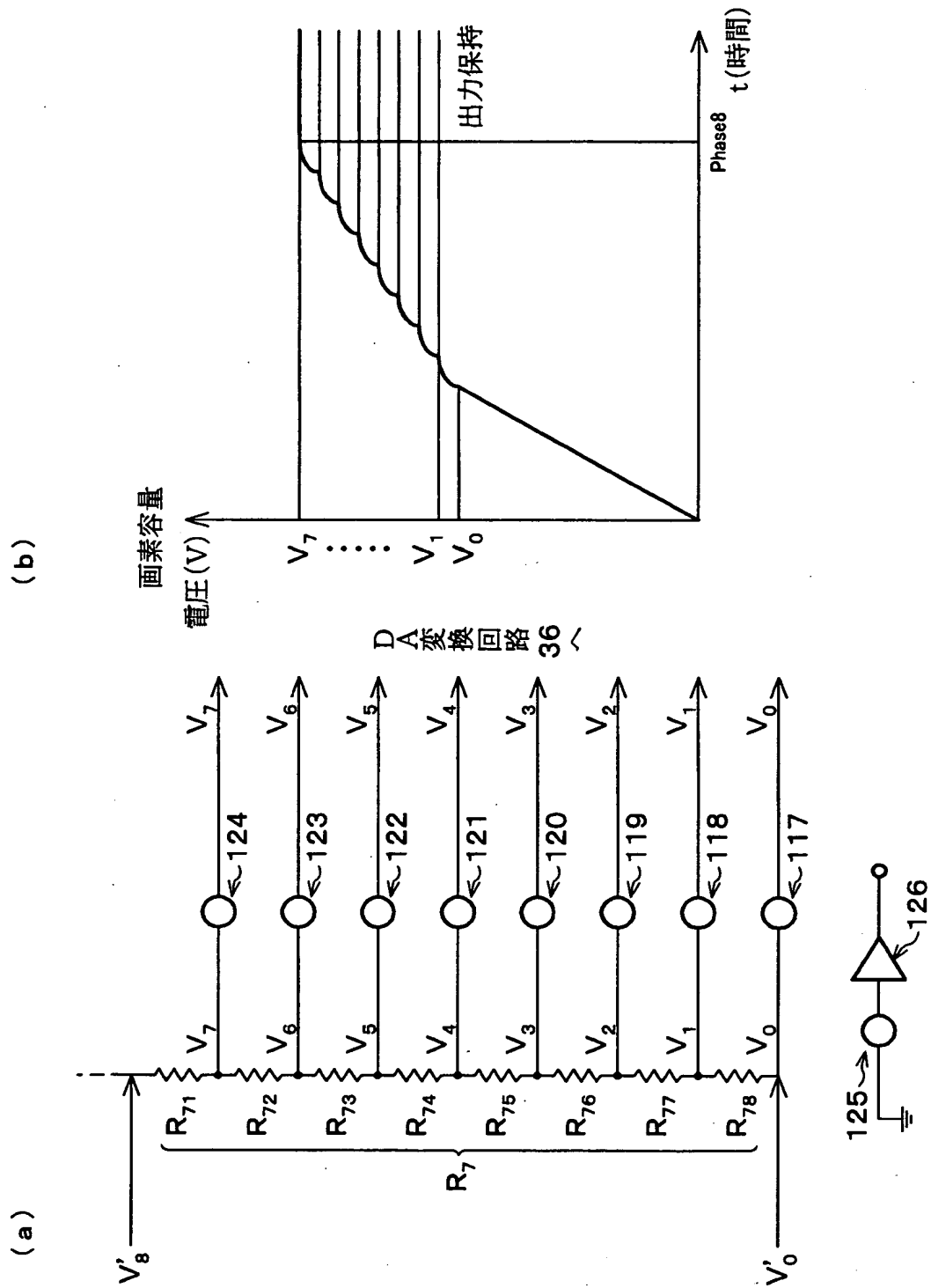
【図 7】



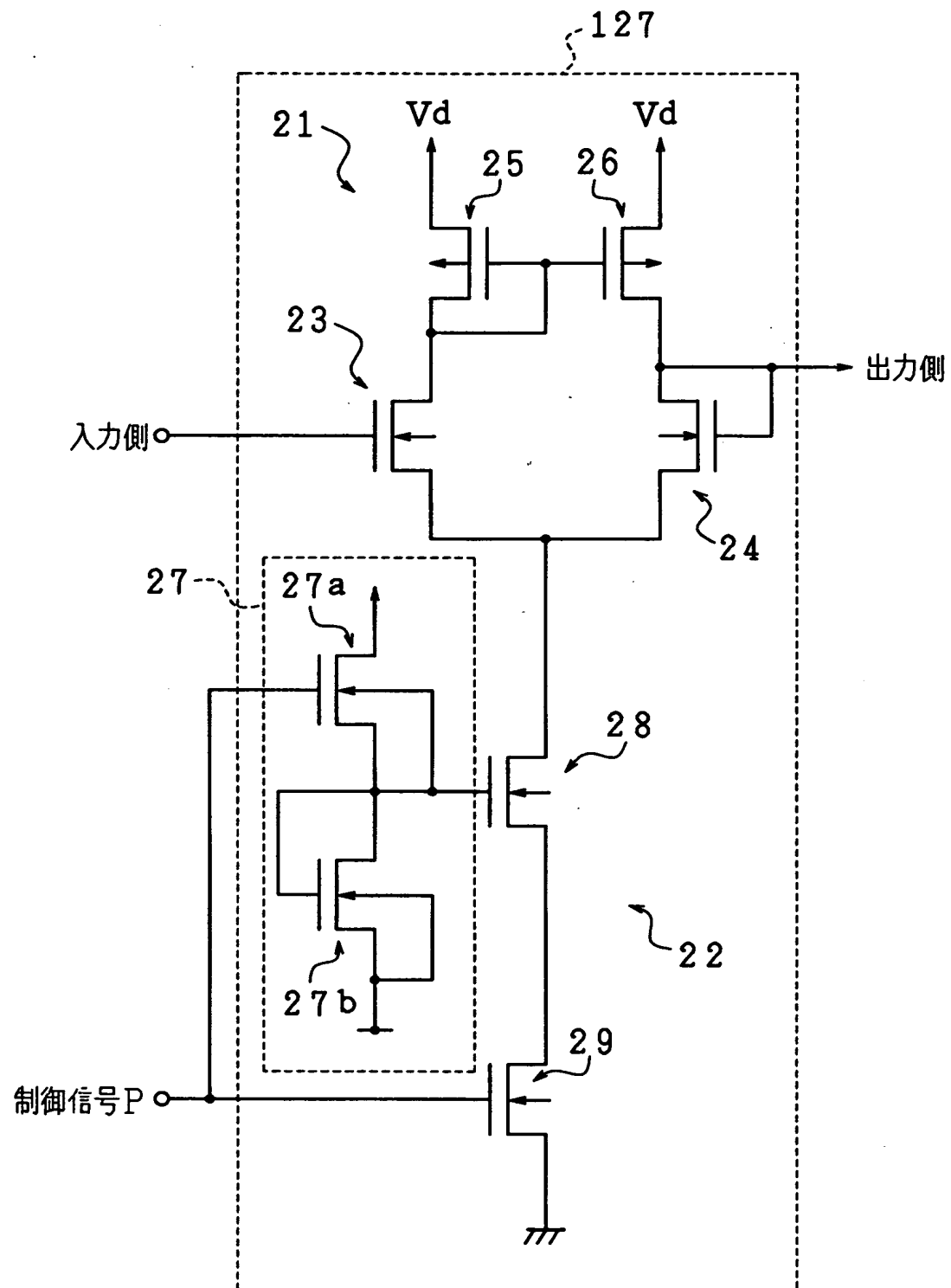
【図 8】



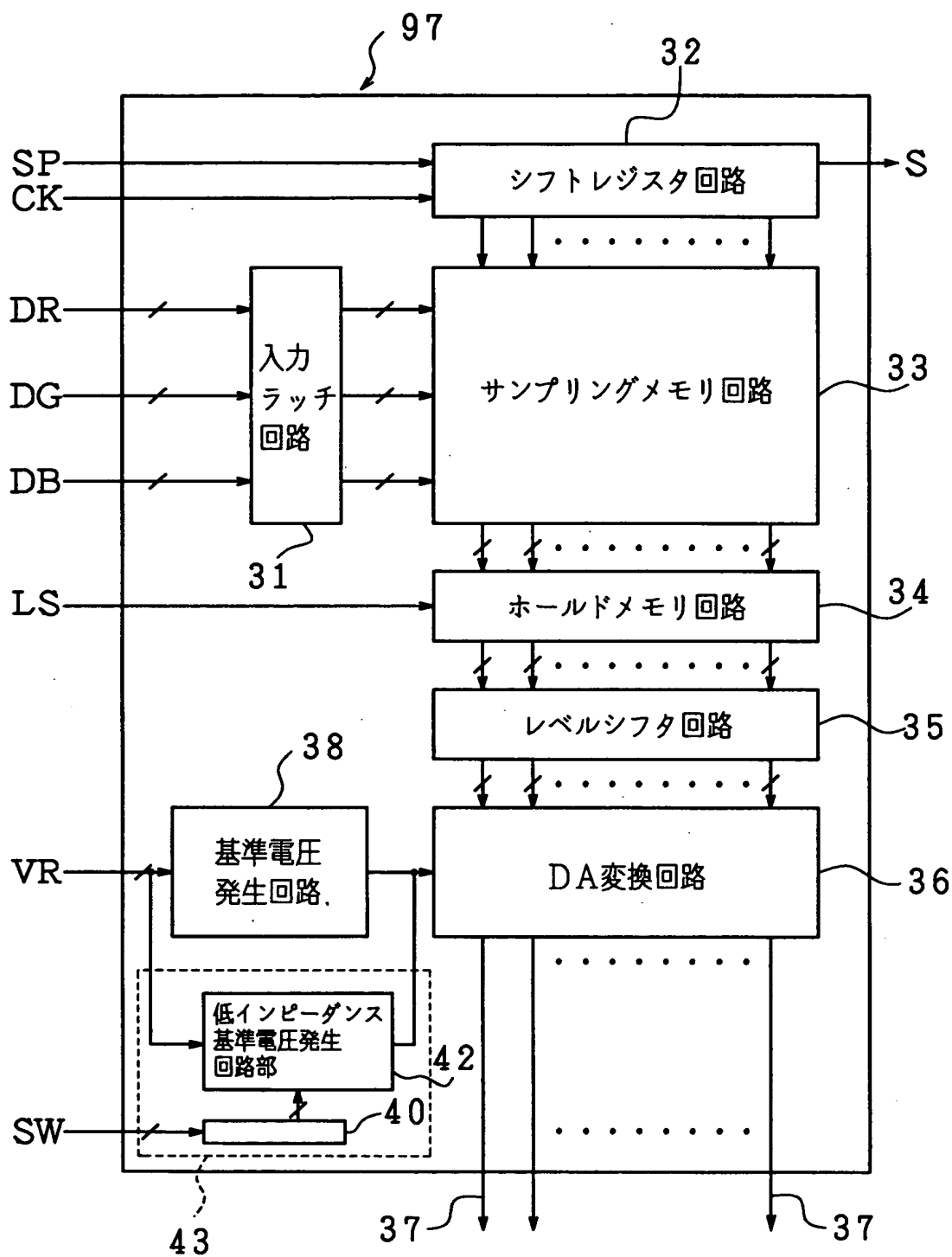
【図9】



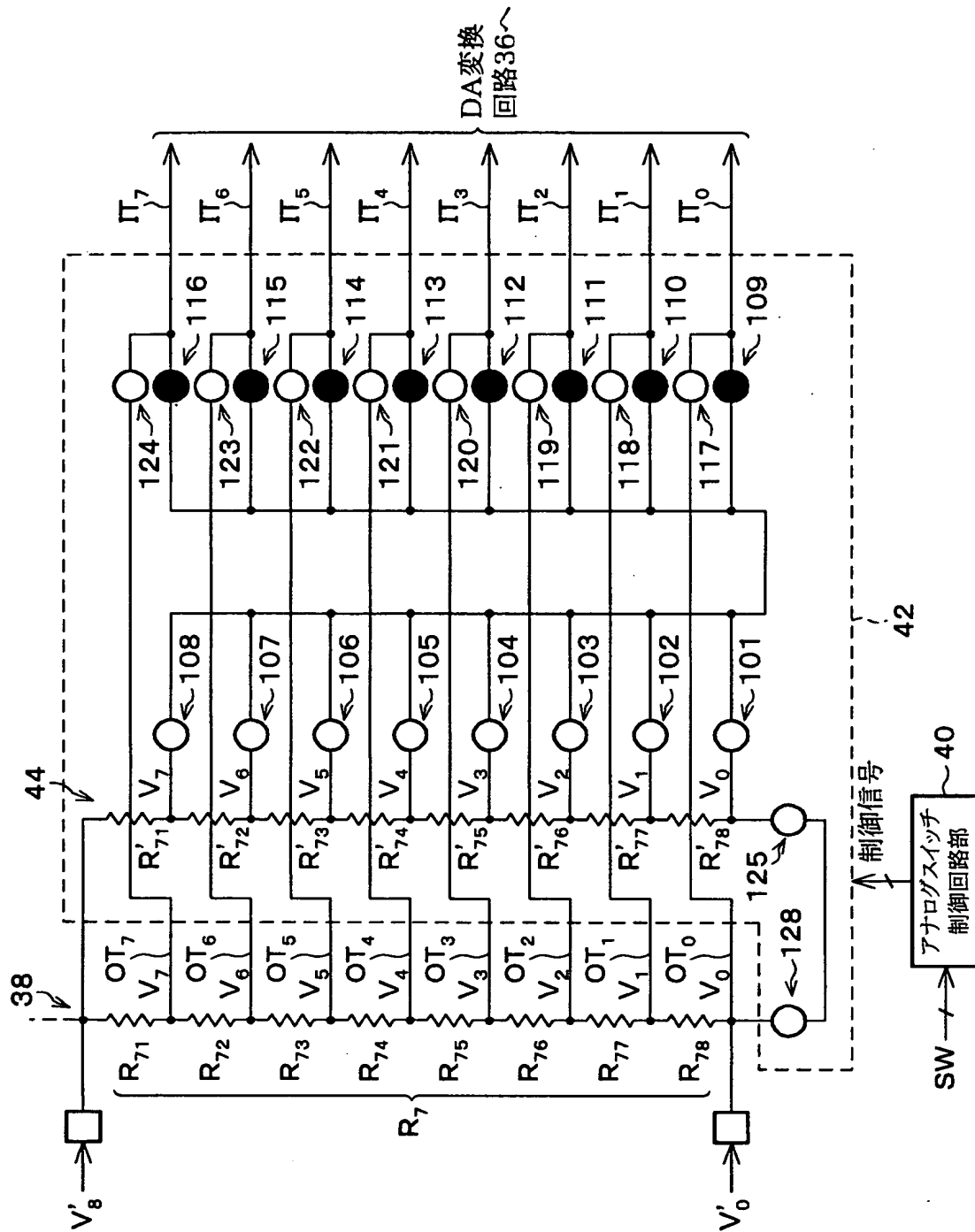
【図 10】



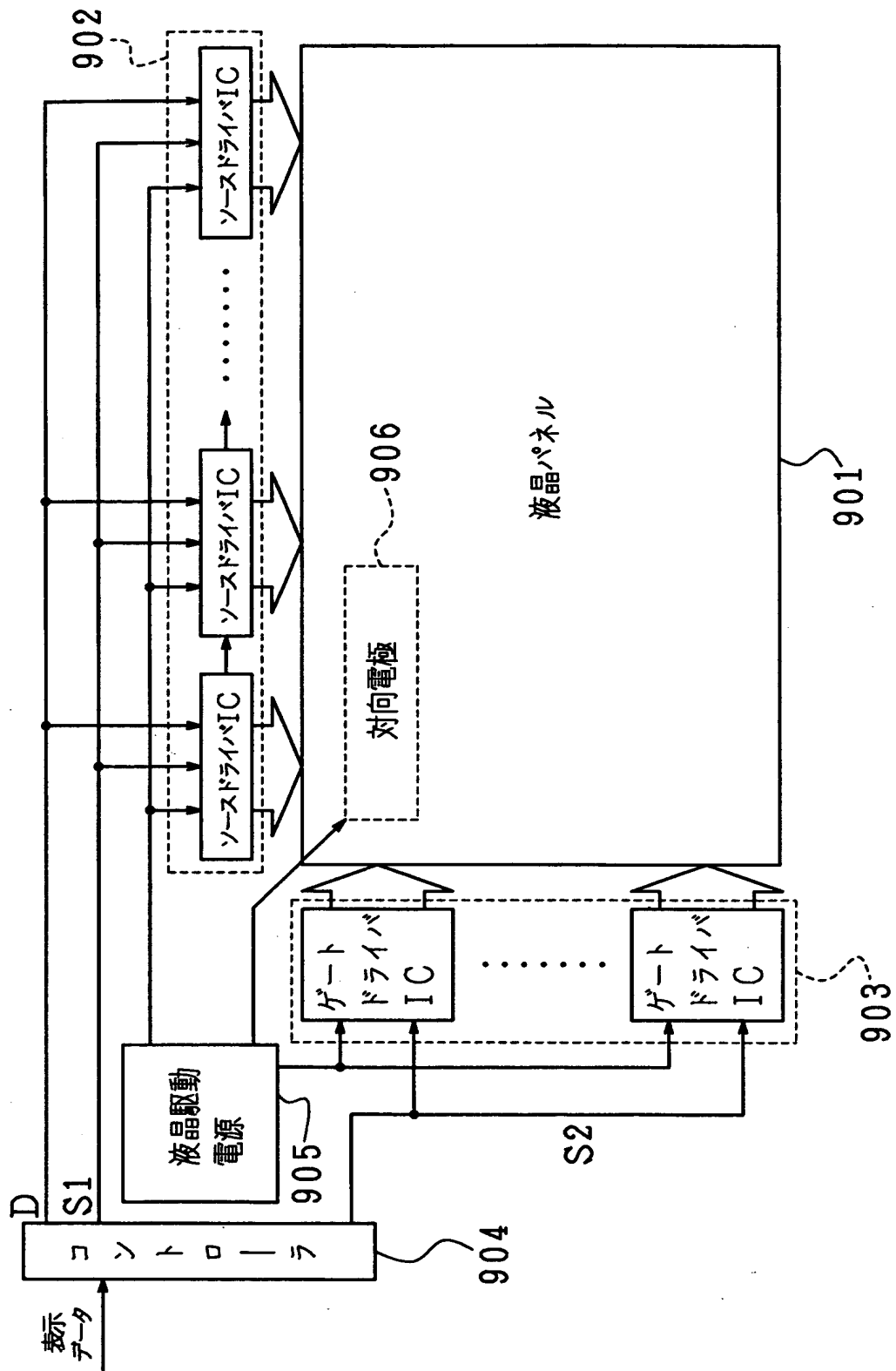
【図 1 1】



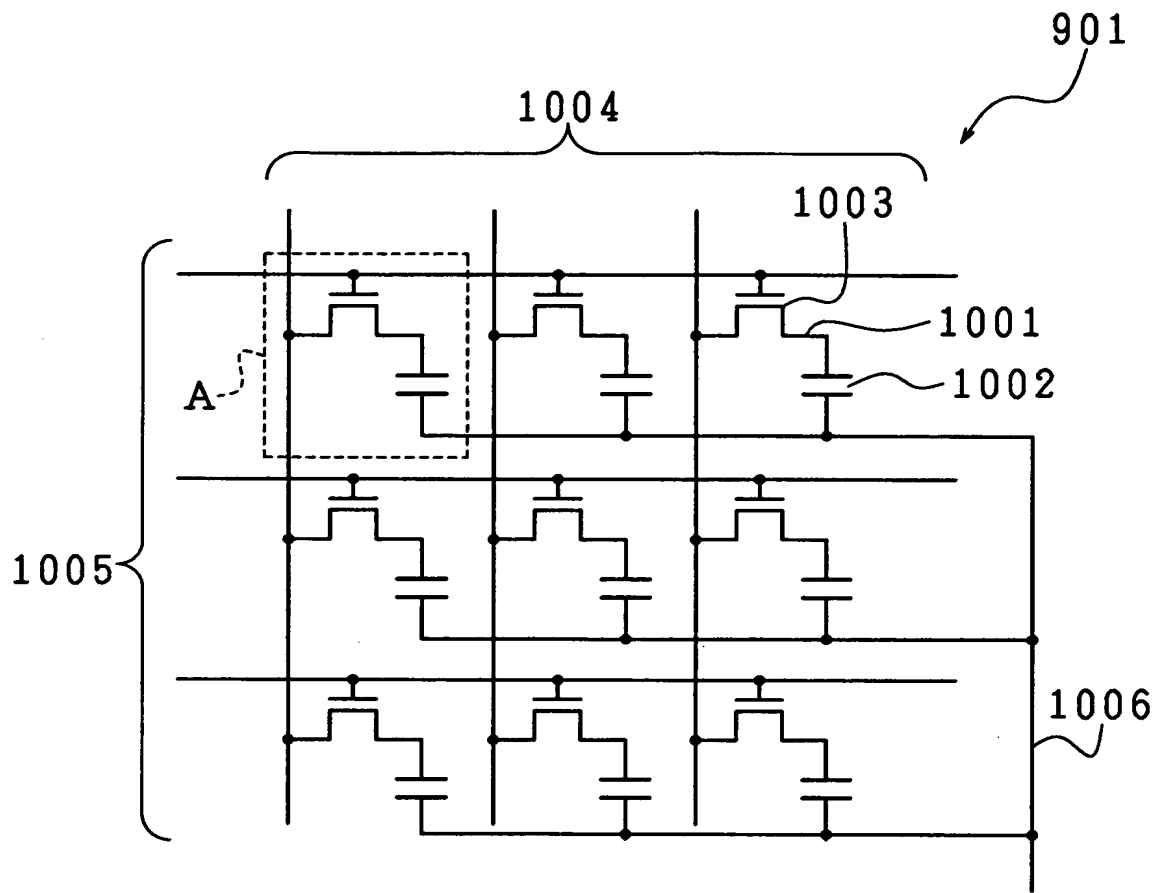
【図 12】



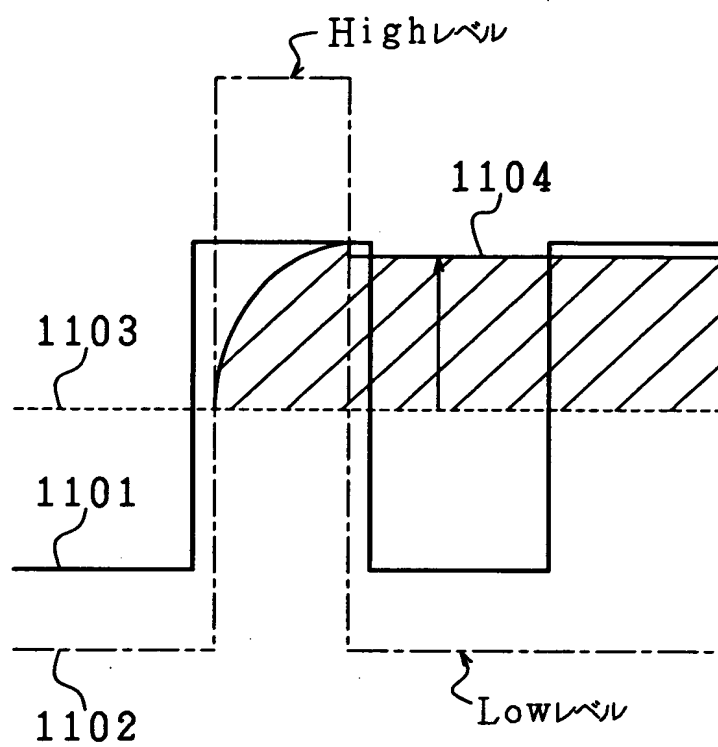
【図13】



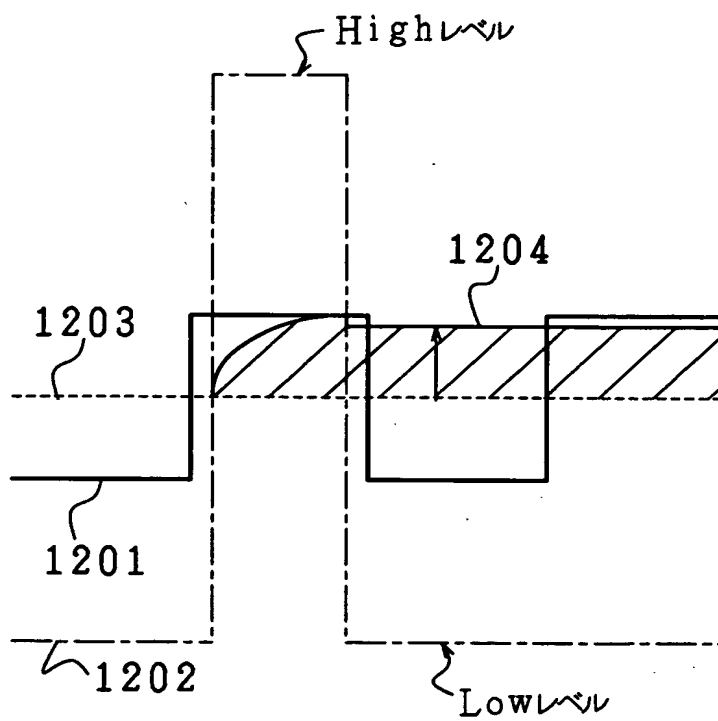
【図14】



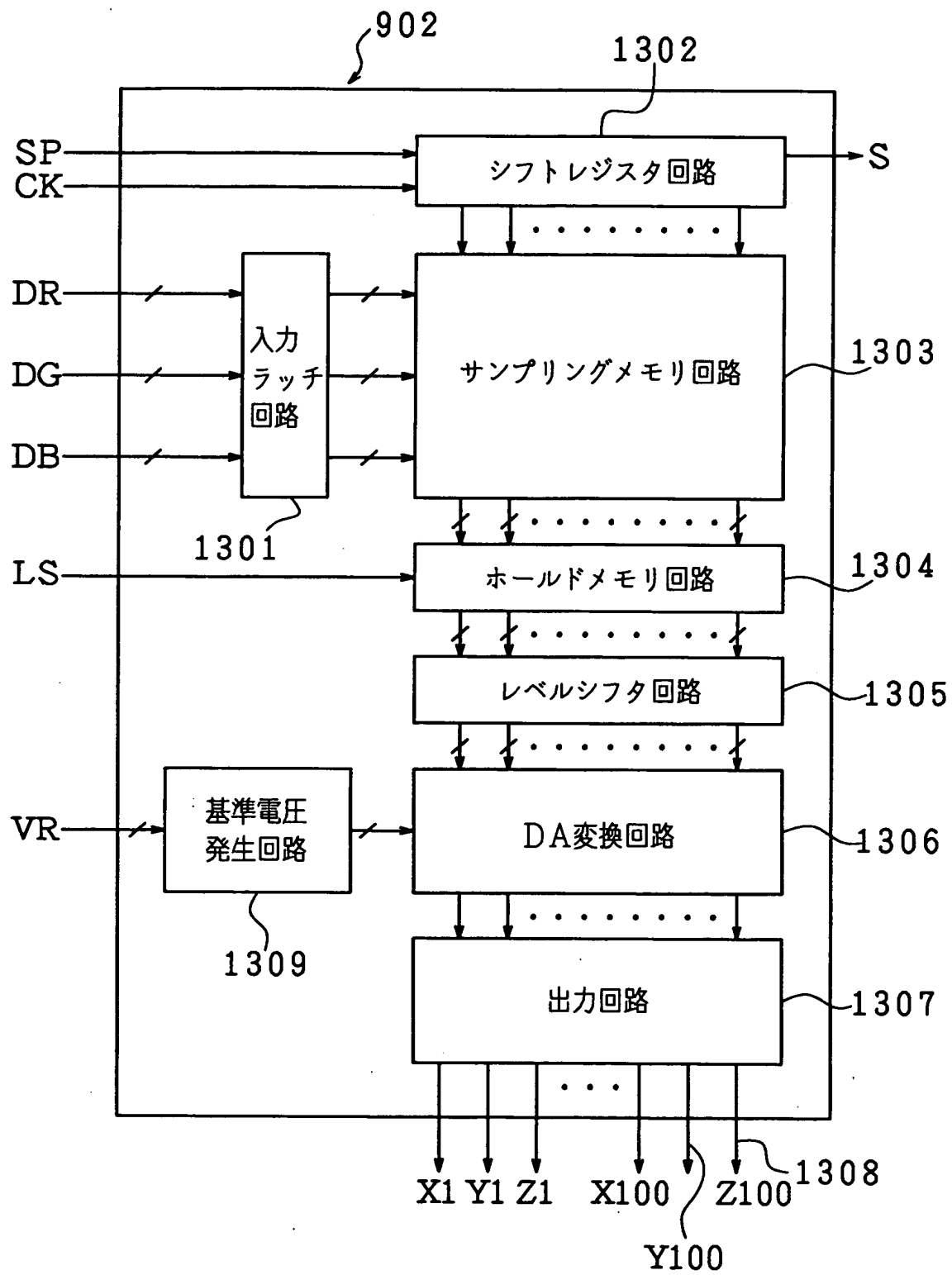
【図15】



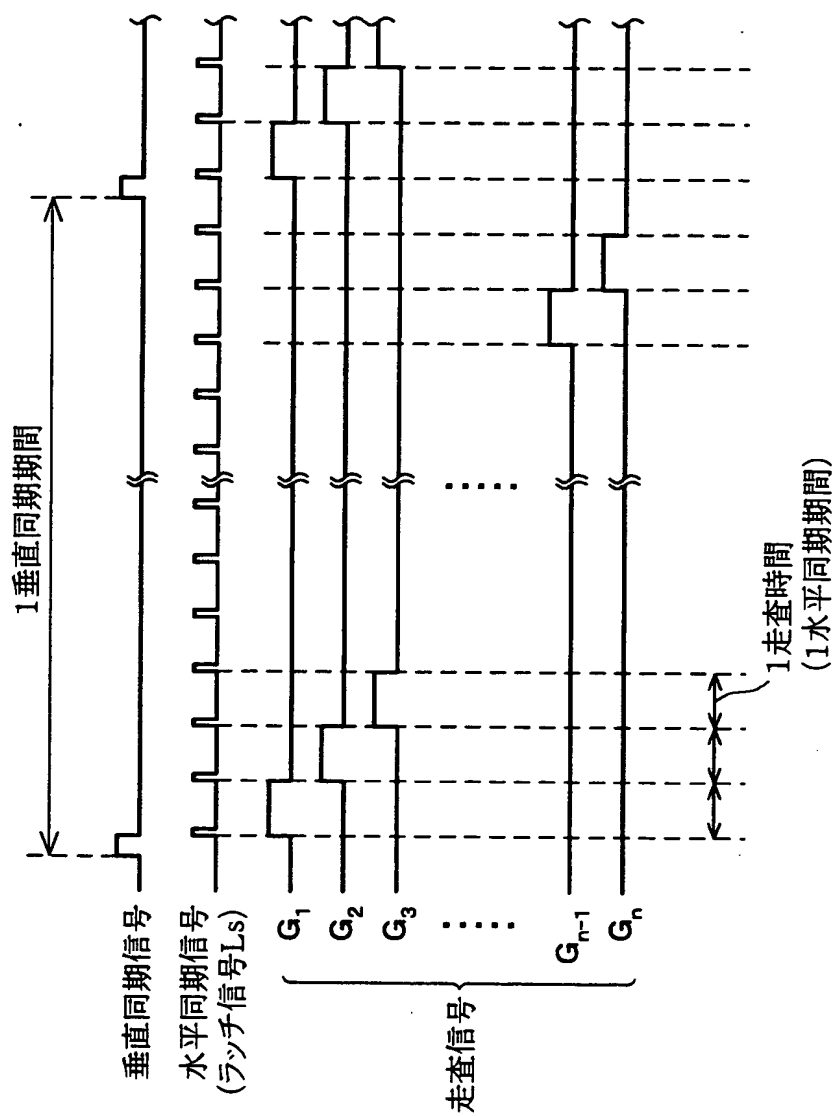
【図16】



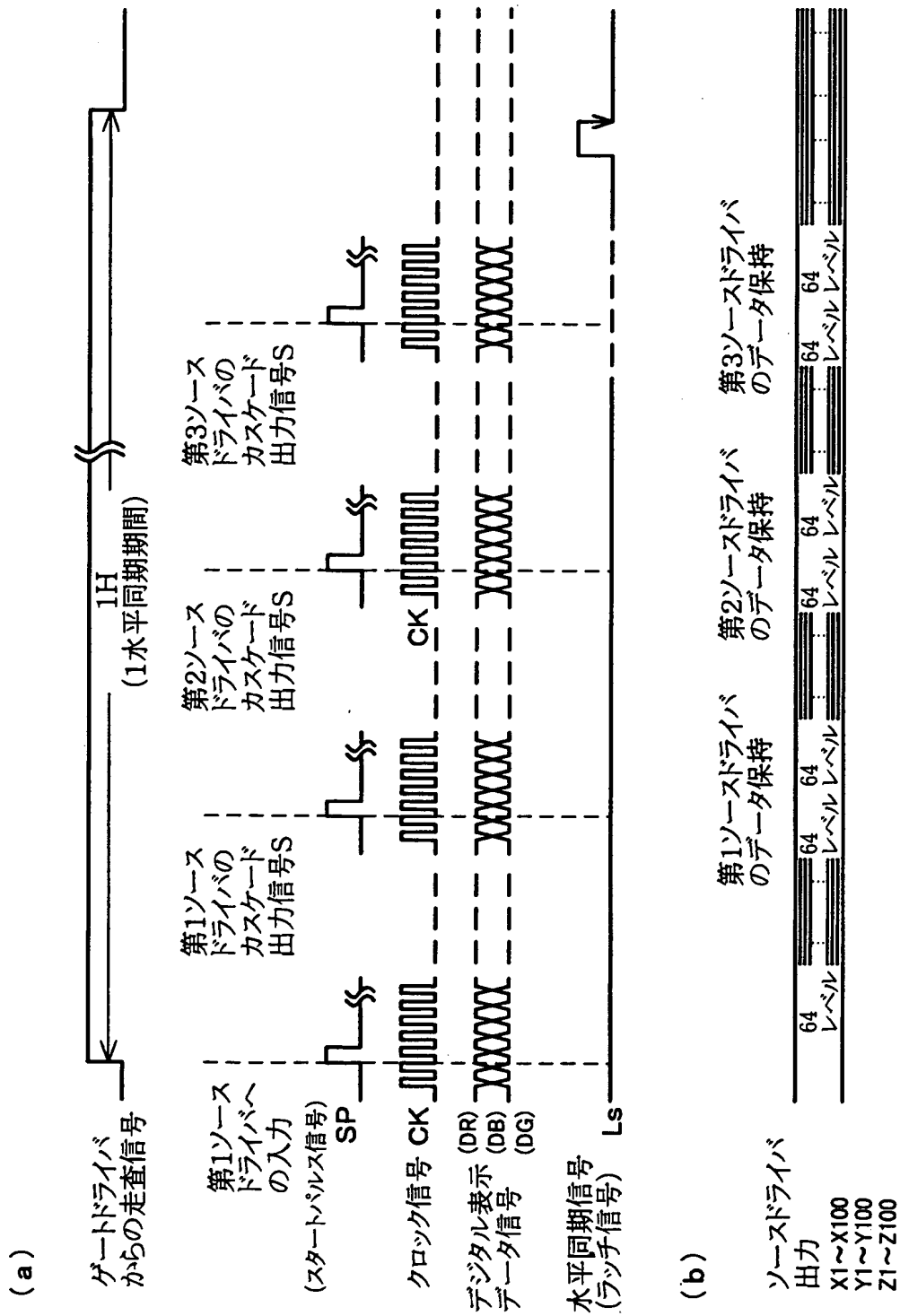
【図17】



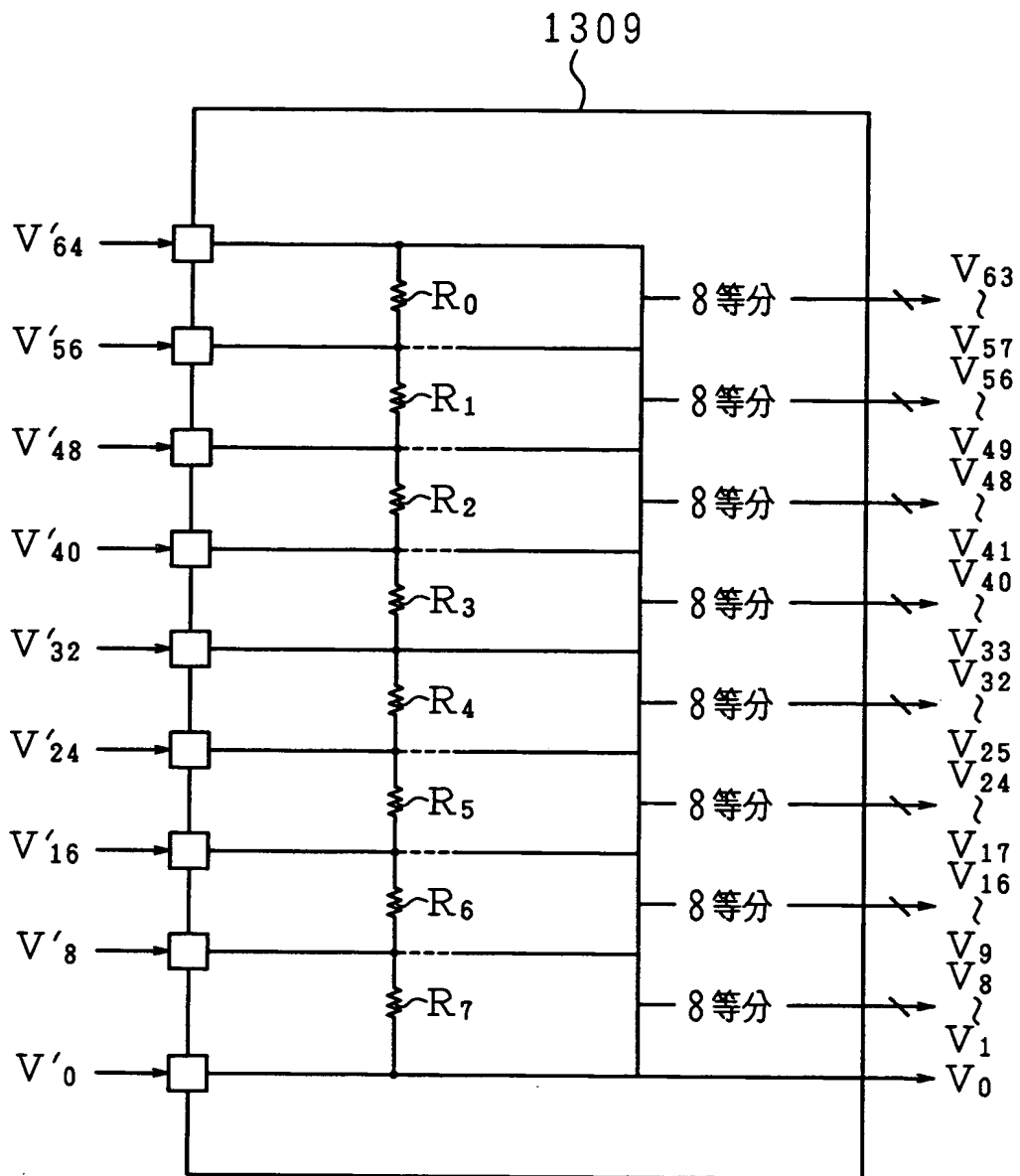
【図 18】



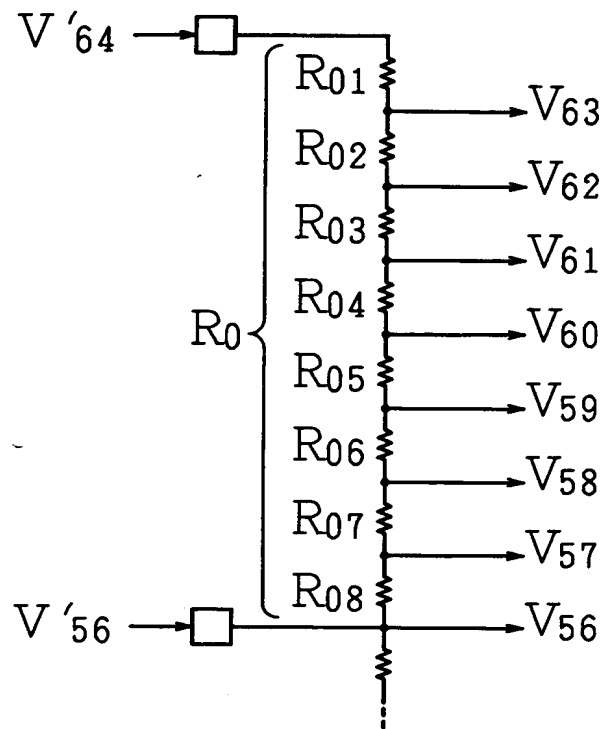
【図 19】



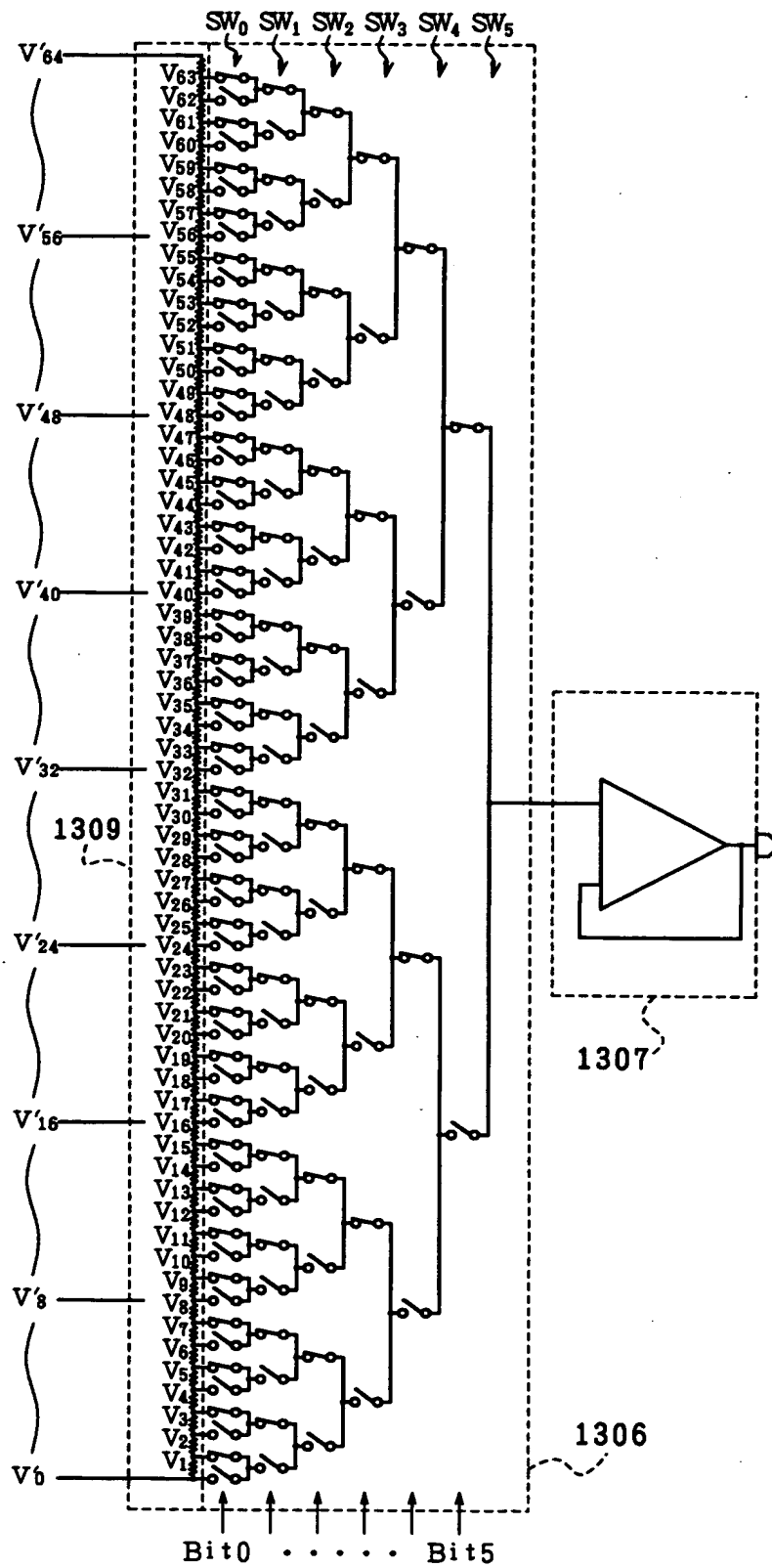
【図 2 0】



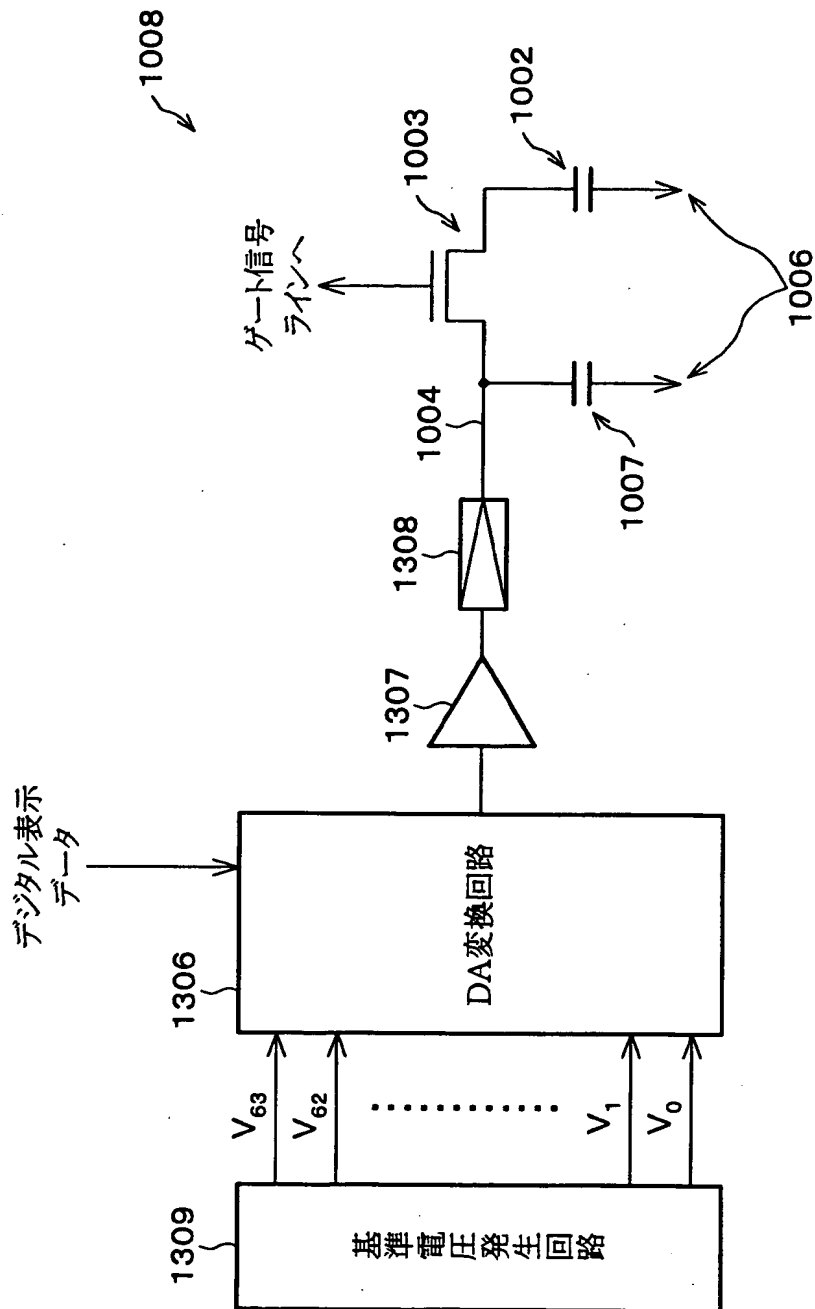
【図 2 1】



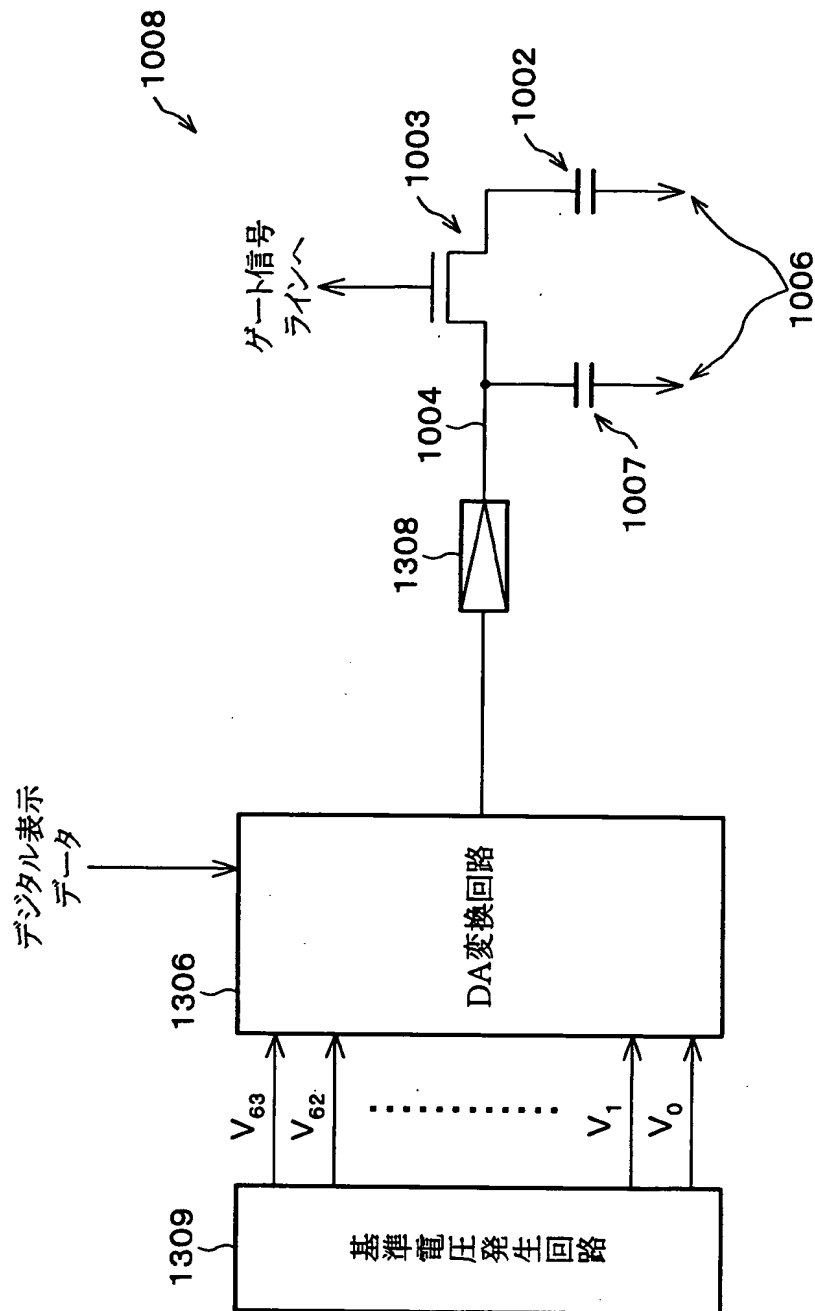
【図 22】



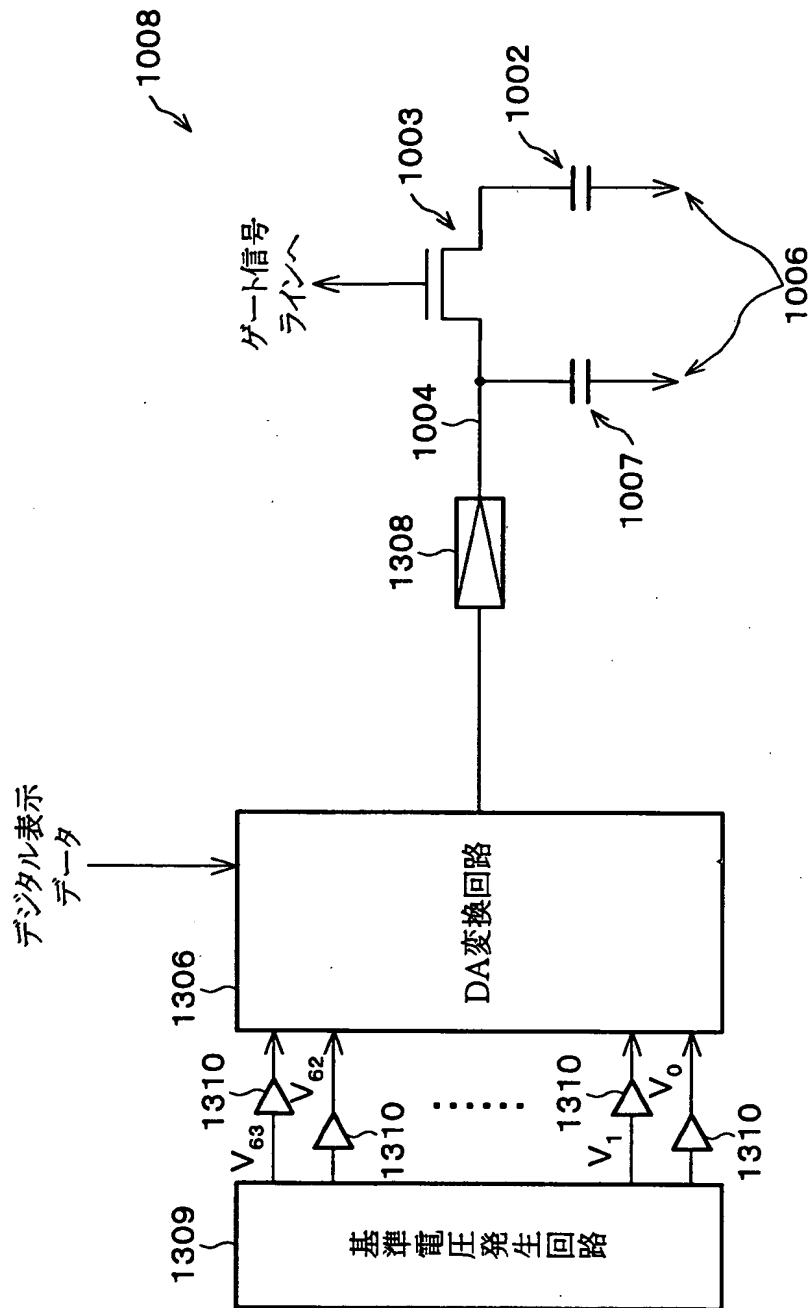
【図 23】



【図 2 4】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 階調表示素子を対象とし、バッファ回路などの低出力インピーダンス回路を介した急速な充電と、介さない低消費電力な充電とを切り換え実施する階調表示用電圧発生装置と、それを備えた階調表示装置を提供すること。

【解決手段】 階調表示用電圧を生成する基準電圧発生回路 3 8 と、階調表示用電圧を選択して液晶パネルに出力する D A 変換回路 3 6 とを備えたソースドライバ 9 2 において、基準電圧発生回路 3 8 と D A 変換回路 3 6 との間には、バッファ回路と、基準電圧発生回路 3 8、バッファ回路、並びに D A 変換回路 3 6 の 3 者間の接続状態を切り換えることにより、階調表示用電圧をバッファ回路を介して D A 変換回路 3 6 に出力するか、介さずに出力するかを選択するアナログスイッチ回路とを含んでなるバッファ回路部 4 1 が設けられている。また、アナログスイッチ回路の動作は、アナログスイッチ制御回路部 4 0 により制御される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社